

NT9833x HW Application Note Additional

Rev B

Oct 01, 2021

Revisions History

PS: The latest update is marked as blue color

Revision	Date	Author	Description of Changes
A	2021/08/30	Lung	Initial release
B	2021/10/01	Lung	Add SPI Flash / eMMC / DRAM 容量應用概況

Table of Contents

1. Overview.....	5
2. NT9833x Feature.....	6
3. Power	7
3.1 Power on Sequence	7
3.2 Core Power Application	7
3.3 PLL Power Application.....	8
4. Boot Strapping.....	9
4.1 Boot Source Select.....	9
4.2 SPI Nand Boot Select.....	9
4.3 eMMC Boot Select.....	10
4.4 Ethernet Boot Select.....	10
4.5 JTAG Pin Select	11
4.6 CPU Debug Mode Select.....	11
5. RTC	12
6. DRAM.....	13
6.1 DRAM Interface.....	13
6.2 DRAM CS Terminator	14
6.3 DRAM Clock.....	15
6.4 ZQ Calibration	16
6.5 DRAM Power.....	16
7. Storage.....	18
7.1 SPI Flash.....	18
7.2 SDIO.....	20
8. e-Fuse	24
8.1 e-Fuse Application	24
9. Video Capture.....	25
9.1 BT656 Application.....	26
9.2 BT1120 Application.....	27
9.3 Video Decoder Support List.....	28
10. MIPI CSI	29
10.1 MIPI CSI Application.....	29
11. Audio	32

11.1	I2S Application.....	32
11.2	Audio Application.....	32
11.3	XVR Audio Application.....	32
12.	Clock and RESET.....	33
12.1	System Clock.....	33
12.2	External Clock.....	33
12.3	System RESET.....	34
12.4	RESET_OUT.....	34
13.	Display.....	35
13.1	Display Application.....	35
13.2	HDMI TX.....	35
13.3	VGA.....	37
13.4	CVBS.....	37
13.5	BT1120 Output.....	38
14.	USB.....	40
14.1	USB 2.0 Application.....	40
14.2	USB 3.0 Application.....	41
15.	I2C.....	43
15.1	I2C Application.....	43
16.	SATA.....	44
16.1	SATA Application.....	44
17.	Ethernet.....	46
17.1	GMAC Application.....	46
18.	PWM.....	49
19.	UART.....	50
20.	JTAG.....	51
20.1	JTAG Application.....	51
21.	TESTEN.....	52
22.	PCIe.....	53
22.1	PCIe Cascaded Connection.....	53
22.2	PCIe hardware bootstrap configuration.....	54
22.3	PCIe Cable and dedicated connector.....	55

1. Overview

此文件用於補充 NT9833x application note 與客戶 Q&A 之相關資料說明，主要的參考文件如下列表，文件中會引述參考文件中之敘述內容，並加以說明補充其不足之處。

參考文件

Item	Description
1	NT9833x_ApplicationNote_V0.5_EN_20210621.pdf
2	NT98336_DVR_EVB_User Guide_V1.2.pdf

2. NT9833x Feature

- Feature list

	NT98336
CPU	Cortex A53 Quad Core
CPU Frequency	1.4 GHz
DRAM	DDR3/4 32-bit x2
VI	300MHz BT656 x8 or BT1120 x4 / MIPI 2C4D x4
CH	16CH 1080p
HW-CNN	HW CNN Gen2.5, MAU 2.25T
Codec	H265 / H264 DVR 9E / 8D 1080p NVR 2E / 12D 1080p
USB	USB2.0 x2 USB3.0 x1
SATA	SATA3.0 x2 PCI-E Gen3/SATA3.0 Combo x1 Support Multi Chips PCIe Cascade
Storage	SPI Flash x2 / eMMC x1 / SD 3.0 x1
Display	HDMI / VGA / CVBS / BT1120
Ethernet	GMAC x2
Package	22.5 x 27 mm
Operating Ambient Temperature	TA_OP : 0 ~ 70 °C
Operating Junction Temperature	TJ_OP : 0 ~ 110 °C
Maximum Junction Temperature	TJ_MAX : 125 °C
Storage Temperature	TSTG : -40 ~ 125 °C

- 溫度參數

Thermal Condition
NT98336 HS-TFBGA 22.5x27, Power=7W @ @NT98336 4L PCB (size=335x120mm)

Ta=70度 (包含package上的散熱片+鍍片式散熱片)	Ta=70度 (包含package上的散熱片+鍍片式散熱片+風扇)
Theta JA=7.71, Psi JT=2.29, Psi JB=4.99 Tj=124, Tc=108	Theta JA=5.01, Psi JT=2.54, Tj=105.1, Tc=87.3

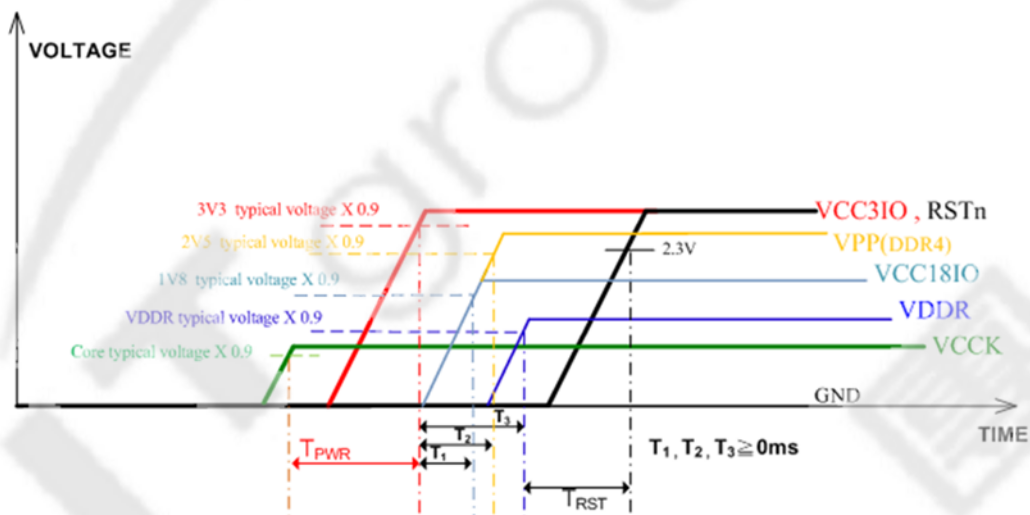
3. Power

3.1 Power on Sequence

NT9833x 電源開機時序(DDR4) :

VCCK → VCC3IO → VCC18IO/VPP(DDR4) → VDDR

- $T_{PWR} \geq 1ms$, T_1 , T_2 , $T_3 \geq 0ms$, $T_{RST} \geq 1ms$.



System Power-ON Sequence

VCCK → VCC3IO → VCC18IO/VPP(DDR4) → VDDR

Symbol	Parameter	Min.	Typ.	Max.	Unit	Conditions
Power on sequence and Reset						
T_{RST}	RESET# sustained time	1	-	-	ms	After all power being stable
T_{PWR}	Core power prior to I/O power time	1	-	-	ms	

電源設計務必符合 power-on sequence 與 T_{PWR} 、 T_{RST} 、 T_1 、 T_2 、 T_3 的時間規範。

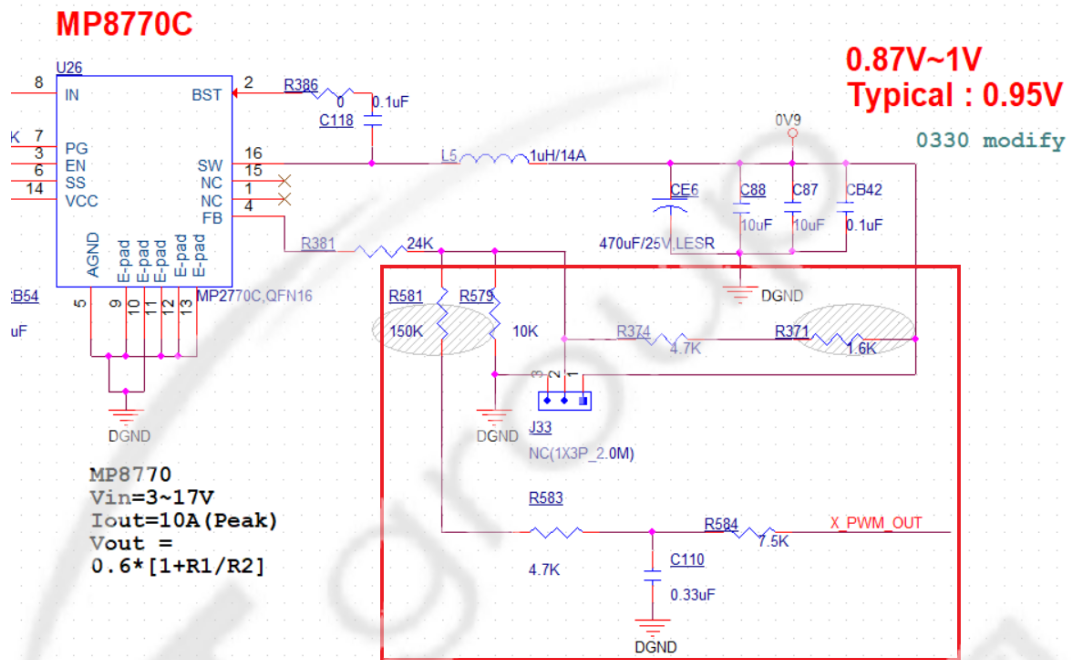
3.2 Core Power Application

X_PWM_OUT 為調整 Core power 電壓機制，Typical 為 0.95V，電壓調整範圍為 0.87V~1V 會透過 PWM 的 duty 控制來改變電壓，建議留下此設計。

搭配不同 DC/DC 的 VFB 參數，會搭配不同的 PWM 電阻來匹配，所以要依客戶選用的 DC/DC 物料來決定。

**** PWM 電阻值需 AITg 來確認。**

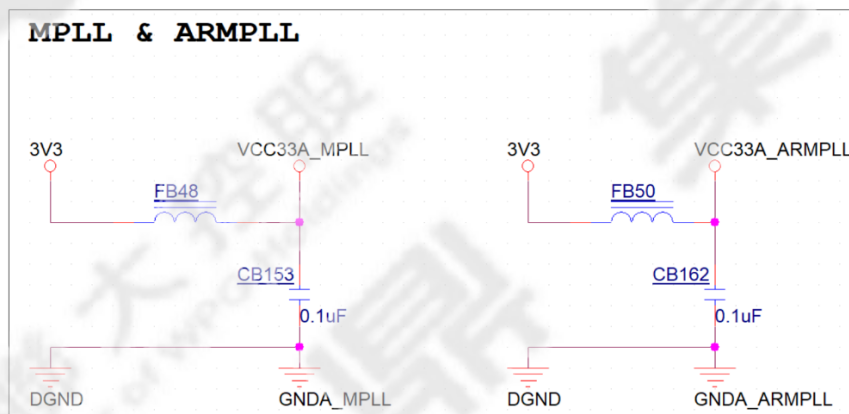
參考電路如下圖所示



3.3 PLL Power Application

VCC33A_ARMPLL & VCC33A_MPLL 電源需經過 Bead 與 0.1uF 電容濾波，穩壓後再進入 SOC 端，請檢查電容是否有擺放靠近 SOC 端對應 Power ball。

參考電路如下圖所示



4. Boot Strapping

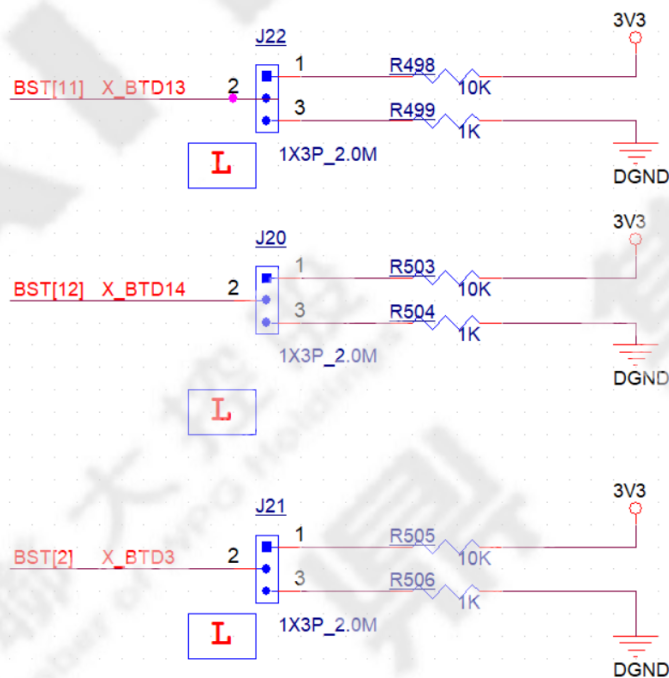
Boot strap 值由 boot strap pin 在 reset 的 rising edge 時的 high / low 位準決定。

4.1 Boot Source Select

Boot source 是透過 boot strap pin BST[2]、BST[12]、BST[11]的硬體設計來決定系統板韌體開機來源。

使用列表與參考電路如下圖所示

BST[2], BST[12], BST[11]	Description (Boot source)
000	SPI (NOR)
001	SPI (NAND)
010	USB high speed
011	ETHERNET
100	UART
101	SDIO (SD)
110	Reserve
111	SDIO2 (eMMC)



使用方式請參考

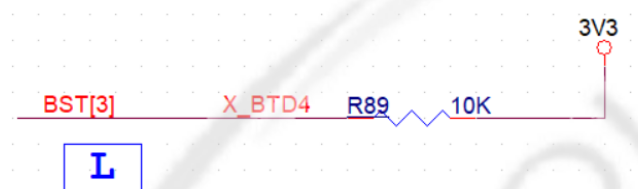
< NT9833x_Boot_Rom_code_User_Guide_en.pdf >

4.2 SPI Nand Boot Select

Boot source 若設定為 **SPI NAND boot** 時，則須再透過 BST[3] 來設定選擇 SPI NAND page size。

使用列表與參考電路如下圖所示

BST[3]	Description (NAND Boot)
0	4 Kbytes
1	2 Kbytes

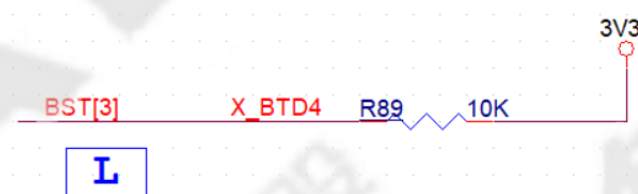


4.3 eMMC Boot Select

Boot source 若設定為 **eMMC boot** 時，則須再透過 BST[3] 來設定選擇 eMMC data bits。

使用設定列表與參考電路如下圖所示

BST[3]	Description (eMMC Boot)
0	4 bits
1	8 bits

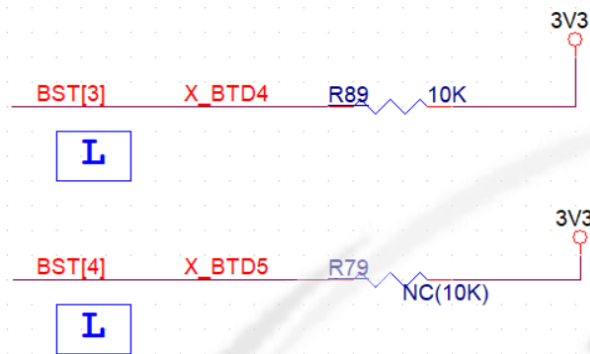


4.4 Ethernet Boot Select

Boot source 若設定為 **Ethernet boot** 時，則須再透過 BST[4:3]來設定選擇使用。

使用設定列表與參考電路如下圖所示

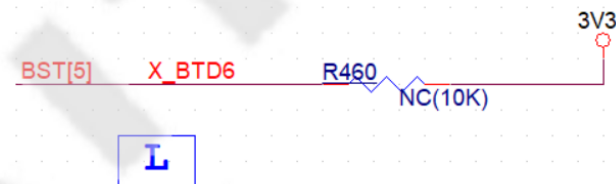
BST[4..3]	Description (Ethernet Boot)
00	RMII (refclk output mode) -MAC0
01	RMII (refclk input mode) -MAC0
10	RGMII -MAC0
11	Reserve



4.5 JTAG Pin Select

透過 BST5 的設定，JTAG pin 可當作一般 GPIO pin 或 JTAG function pin 使用。
使用設定列表與參考電路如下圖所示

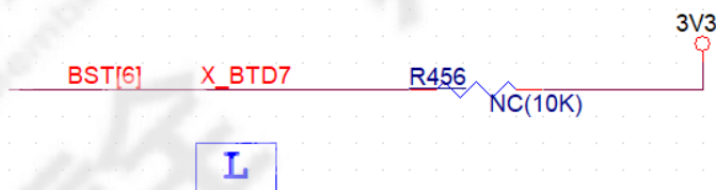
BST[5]	Description (EJTAG select)
0	GPIO (TRST, TMS, TCK, TDI, TDO are GPIO)
1	EJTAG (enable JTAG on boot)



4.6 CPU Debug Mode Select

透過由 BST6 來設定，CPU debug mode 屬於 IC 內部驗證使用需求。
一般產品應用上，請客戶限設定為 Normal mode 使用。
使用設定列表與參考電路如下圖所示

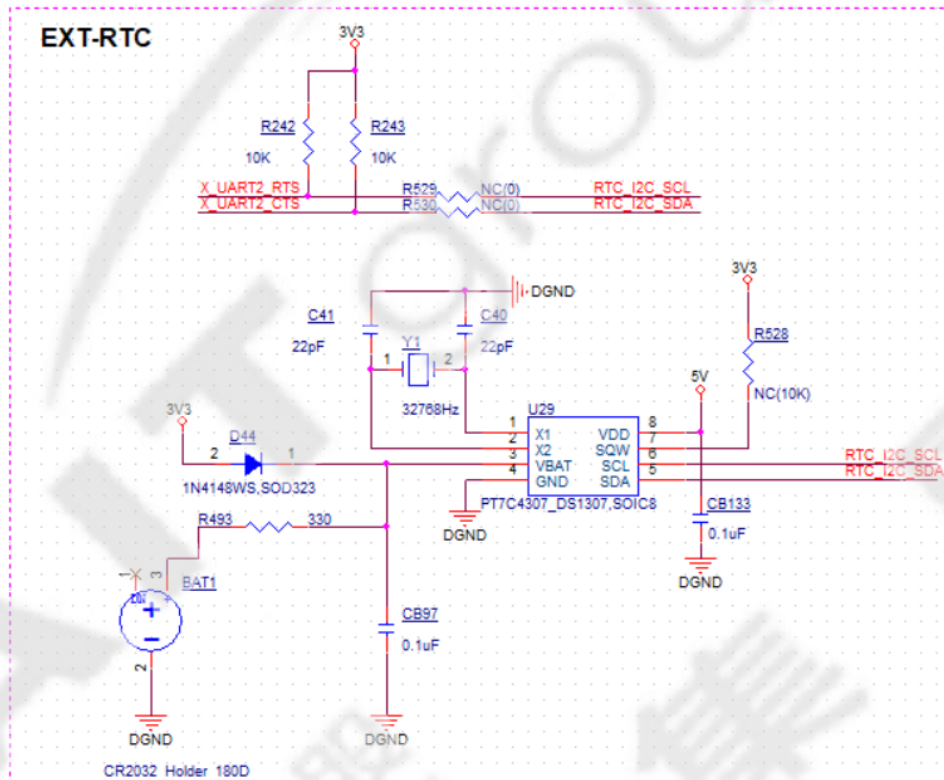
BST[6]	Description (CPU debug mode)
0	Normal mode
1	Debug mode



5. RTC

NT9833x 可支援使用內部 RTC 與外部 RTC 應用。可透過使用 I2C bus 來連接使用外部 RTC 裝置。建議客戶的第一版電路仍預留外部 RTC，待客戶驗證確認 pass，再由客戶決定是否取消外部 RTC 電路。

外部 RTC 參考電路如下圖所示



6. DRAM

NT98336 提供二組外掛 32bits DDR3/4 SDRAM 的控制器。

6.1 DRAM Interface

NT98336 建議使用 x16bit 類型 DDR4 DRAM。NT98336 EVB 使用外部 DDR4 DRAM 執行程序和數據臨時貯存。

列表如下所示

	NT98336
DDR3/4	32bit x2
DDR0 Max Size	4GB (16bit x2)
DDR1 Max Size	4GB (16bit x2)
Frequency	933 / 1066 / 1200 / 1600 MHz
Throughput	1866 / 2133 / 2400 / 3200 Mbps

(Don't support x16bit 16Gb dual die DRAM)

DRAM 支持清單，基本上是驗證一般規格產品，若有車用規格或寬溫產品等特殊需求，可請客戶提供 IC 型號及樣品給原廠確認。

列表如下所示

Vendor	DDR4	速度(Mbps)	Component Name	Size
Samsung	●	3200	K4A8G165WC-BCWE	8Gb
Nanya	●	3200	NT5AD512M16C4-JR	8Gb
Hynix	●	3200	H5AN8G6NDJR-XNC	8Gb
Micron	●	3200	MT40A512M16TB-062E:R	8Gb
	●	3200	MT40A1G16KD-062E:E	8Gb

備註：以上驗證皆是以 3200Mbps 最高速度驗證。

若使用未列在支持清單裡的 DRAM 新顆粒，由於各廠牌/型號/速度眾多，建議參照驗證 SOP 文件「HW System Stability_V1.1.pdf」，進行 DRAM 顆粒的相容及可靠性確認。

記憶體配置應用概況

Linux 記憶體配置分成開機階段暫時配置與系統記憶體配置。

例如使用 2048MB 記憶體時，暫時配置的記憶體在進入系統後就會釋放因此並不會佔用記憶體空間，如下所示

u-boot 是開機階段的暫時配置。

	Uboot	Linux tmp buffer	ATF	Loader	shmem	fdt	Core2 entry	un-use
u-boot	32 M	1984 M	1 M	8 M	1 M	1 M	1 M	20 M

Linux 則是為系統記憶體配置，它可依實際應用來調整為不同的值。

	HDAL	Linux
Linux	1024 M	1024 M

Memory mapping 應用概況可參考以下文件：

< NT9833x_Memory_Map_Linux_User_Guide_en.xls >

DRAM 容量選料的使用需求，主要還是須依客戶產品的應用，這需要客戶自行評估。

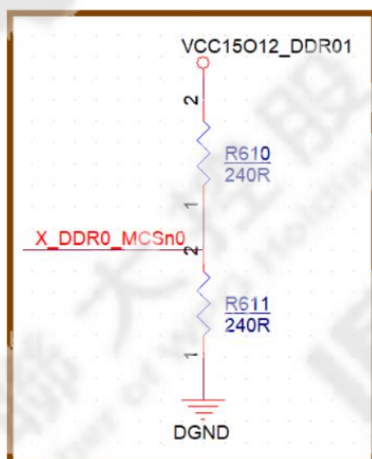
6.2 DRAM CS Terminator

為了增大 DRAM CS window margin，故在 DRAM 的 CS 訊號終端上，建議加上 pull high/low 電阻。

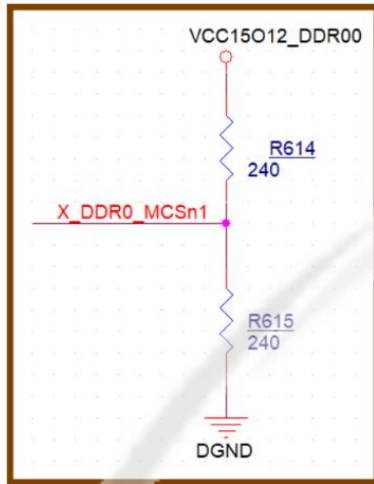
DRAM 顆粒 bus width 為 x16bit 的設計上，CS terminator 建議 pull high / low 各 240 ohm 電阻。

參考電路如下圖所示

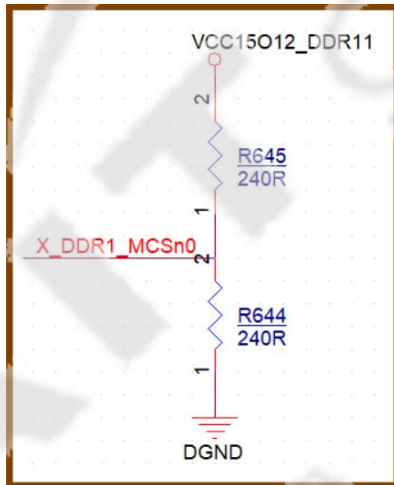
DDR0_CS_n0



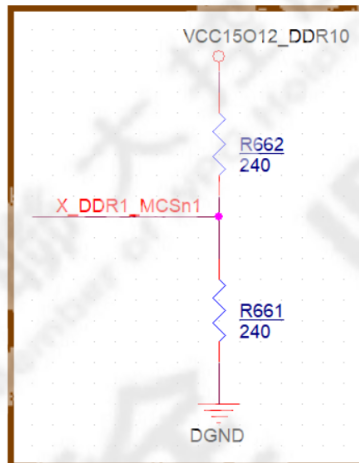
DDR0_CS_n1



DDR1_CS_{n0}



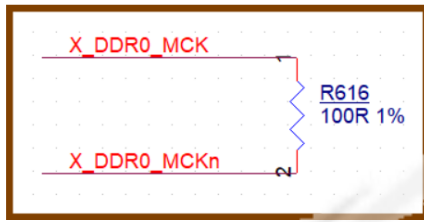
DDR0_CS_{n1}



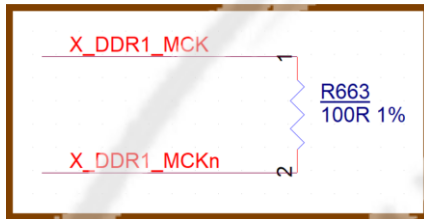
6.3 DRAM Clock

DDR_CLK / DDR_CLK# 在訊號末端的位置跨接 100Ω 的電阻。
如下圖所示

DDR0_CLK



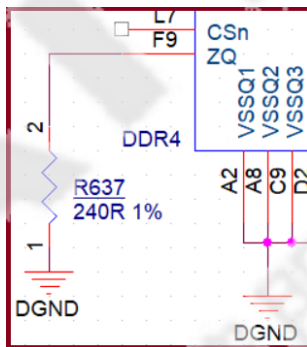
DDR1_CLK



6.4 ZQ Calibration

DRAM 顆粒端 ZQ pin 需要外掛一個 240Ω 電阻作為內部參考用，請使用 1%精密電阻。

如下圖所示

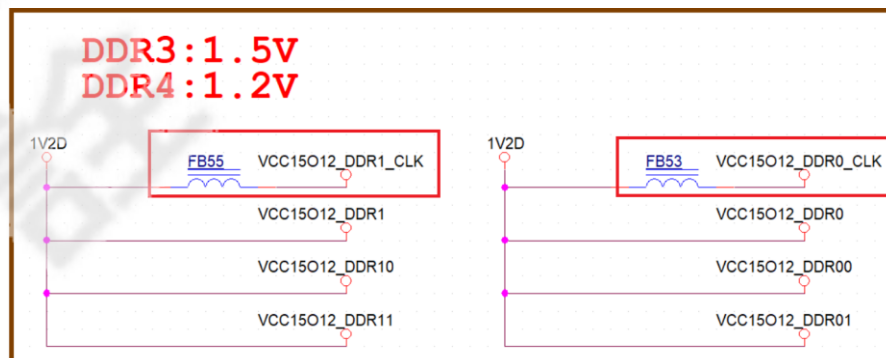


6.5 DRAM Power

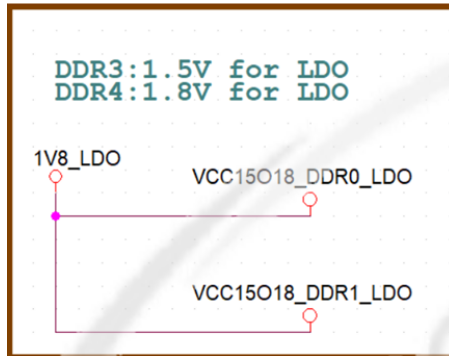
- DRAM Clock Power

為了確保 DRAM clock 電源不受干擾，clock 電源必須使用 bead 與其他電源隔離。

如下圖所示

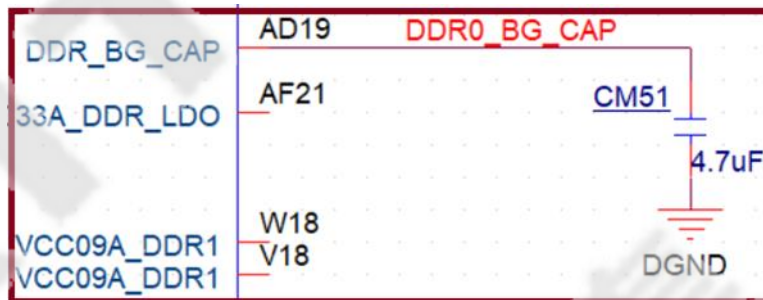


- DRAM LDO Power
DRAM LDO 電源如下圖所示

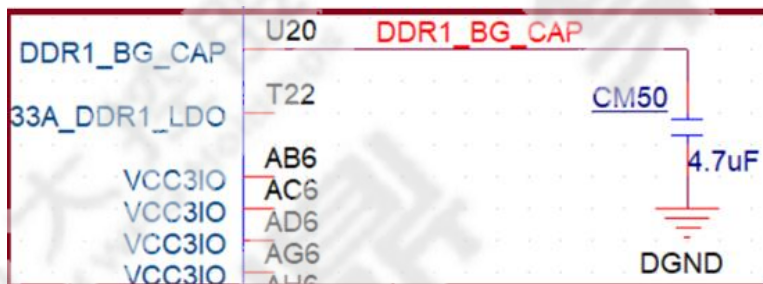


- DRAM BG_CAP
DDR_BG_CAP 端外部連接 4.7uF 電容提供內部 DDR PHY 使用。
如下圖所示

DDR0



DDR1



** 建議請直接使用原廠提供的參考線路與 Layout 設計，SOC 和 DRAM 的零件序號不變動，以保持訊號完整性及正確性。

7. Storage

NT9833x 提供 serial NOR flash、serial NAND flash、eMMC、SD card 等介面，以滿足系統程式及檔案的儲存需求。

NT9833x 軟體包使用容量如下

Item	Image Size
SPI NAND	22 MB
SPI NOR	32 MB
eMMC	43 MB

Device 容量選料的使用需求，主要還是須依客戶產品的應用，這需要客戶自行評估選料。

7.1 SPI Flash

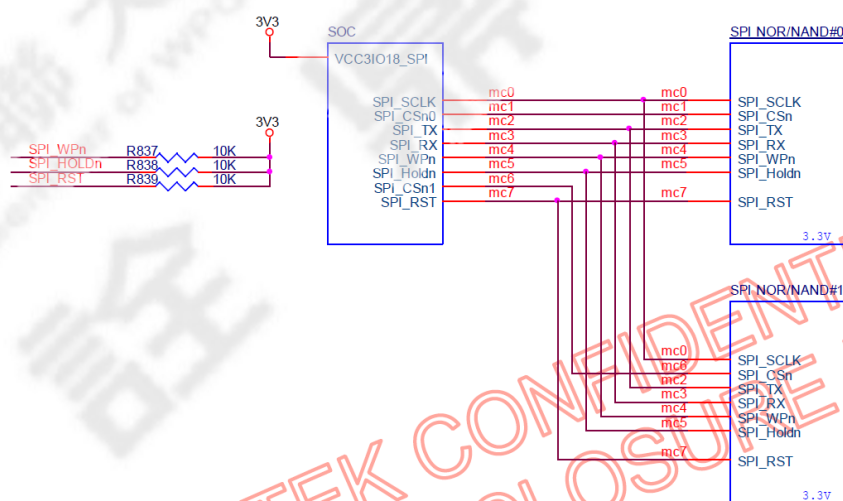
NT9833x SPI Flash 介面可連接 serial NOR flash、serial NAND flash 使用以滿足系統程式以及檔案的儲存等需求。支援 SPI 介面的 serial flash 可支援 x1、x2 和 x4 的 I/O width。NT9833x 最高可支援兩顆 SPI Flash 使用。

接腳列表如下所示

Pin name	Power domain	IO DIR	SPI Nand	IO DIR	SPI Qual	IO DIR	SPI NOR
SPL_SCK	VCC3IO18_SPI	O	SPL_SCK	O	SPL_SCK	O	SPL_SCK
SPL_CSn[0]	VCC3IO18_SPI	O	SPL_CSn[0]	IO	SPL_CSn[0]	O	SPL_CSn[0]
SPL_TX	VCC3IO18_SPI	O	SPL_TX	IO	SPL_SIO0	O	SPL_TX
SPL_RX	VCC3IO18_SPI	I	SPL_RX	IO	SPL_SIO1	I	SPL_RX
SPL_WPn	VCC3IO18_SPI	O	SPL_WPn	IO	SPL_SIO2		
SPL_HOLDn	VCC3IO18_SPI	O	SPL_HOLDn	IO	SPL_SIO3		
SPL_CSn[1]	VCC3IO18_SPI	O	SPL_CSn[1]	O	SPL_CSn[1]	O	SPL_CSn[1]
SPL_RSTO	VCC3IO18_SPI	O	SPL_RST	O	SPL_RST		

Boot 程序必需使用 SPI_CSn0 做為主要設計。

如下圖所示



Demo board 上預設使用的是 < MX35LF1GE4AB > 1Gb SPI NAND flash。

SPI NAND Flash Application

- 每一組 CS pin，最大支持容量 512MB (4Gb)。
- 支持 2K / 4K page size。
- NAND Flash 需確認有支持 Flash on die ECC (≥ 4 bit) 功能。

支持清單，基本上是驗證一般規格產品，若有車用規格或寬溫產品等特殊需求，可請客戶提供 IC 型號及樣品給原廠確認。

列表如下所示

Vendor	Component Name	Size	Note
Macronix (首選)	MX35LF1GE4AB	1 Gb	
	MX35LF4GE4AD	4 Gb	4K page
Gigadevice	GD5F1GQ4UBYIG	1 Gb	
	GD5F2GQ4UEYIG	2 Gb	
	GD5F2GQ5UE	2 Gb	
	GD5F4GQ4R	4 Gb	4K page, 1.8V
	GD5F4GM5	4 Gb	4K page
Toshiba (無法使用JFFS2)	TC58CVG0S3Hx	1 Gb	
	TC58CVG1S3Hx	2 Gb	
	TC58CVG2S0Hx	4 Gb	
Esmt (UBIFS沒法設threshold) 因為ECC只反應 1. Corrected 2. Un correct 無法在快要到ECC max bit前就先不要使用	F50L1G41LB	1 Gb	
Micron	MT29F1G01ABA	1 Gb	
	MT29F2G01AB	2 Gb	

客戶若使用未列在支持清單裡的 SPI NAND flash 新顆粒，其使用方式請參考以下文件：

< NT9833x_SPI-NAND_Support_List_add_in_User_Guide_zh.pdf >

SPI NOR Flash Application

- 每一組 CS pin，最大支持容量 64MB (512Mb)。

SPI NOR flash 使用上並無特殊規格需求。支持清單，基本上是驗證一般規格產品，若有車用規格或寬溫產品等特殊需求，可請客戶提供 IC 型號及樣品給原廠確認。

列表如下所示

Vendor	Component Name	Size	線路圖位置
MXIC (首選)	MX25L256	256 Mb	
Gigadevice	GD25Q256D	256 Mb	
Others (基本上不用列, 能相容所有 NOR)			

客戶若使用未列在支持清單裡的 SPI NOR flash 新顆粒，其使用方式請參考以下文件：

< NT9833x_SPI-NOR_Support_List_add_in_User_Guide_zh.pdf >

7.2 SDIO

NT9833x 有提供二組 SDIO 接口，SDIO 主要提供外置 SD card 使用，SDIO2 可以連接使用 4bits / 8bits eMMC。

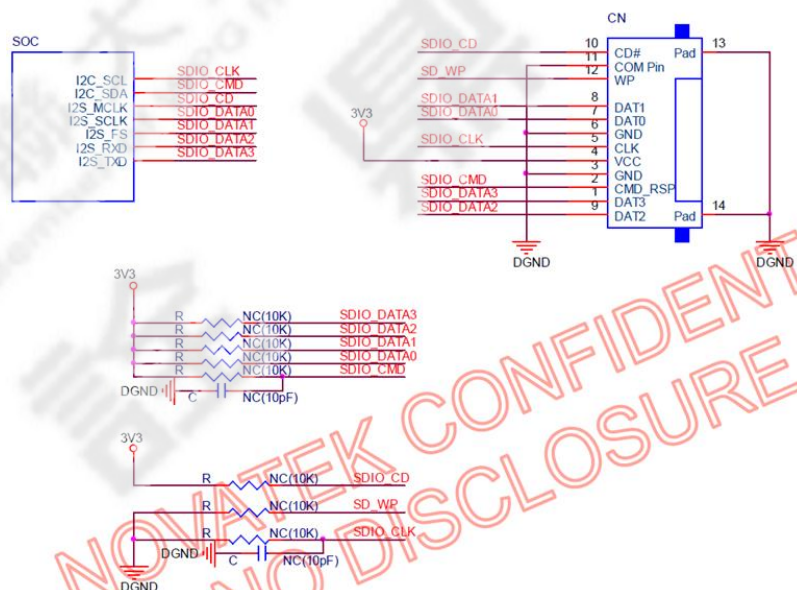
SD Card (SDIO) Application

- 支持 SD 3.0。
- SDIO 功能需要透過 pin-mux 設置開啟。
- SDIO interface 屬於 VCC3IO18 電源（1.8V 或 3.3V）。

接腳列表如下所示

Pin name	Power domain	IO DIR	SDIO
I2C_SCL	VCC3IO18	O	SDIO_CLK
I2C_SDA	VCC3IO18	IO	SDIO_CMD
I2S_MCLK	VCC3IO18	I	SDIO_CD(GPIIO)
I2S_SCLK	VCC3IO18	IO	SDIO_DATA0
I2S_FS	VCC3IO18	IO	SDIO_DATA1
I2S_RXD	VCC3IO18	IO	SDIO_DATA2
I2S_TXD	VCC3IO18	IO	SDIO_DATA3

連接如下圖所示



eMMC (SDIO2) Application

- 支持 eMMC v4.41。
- 支持 4bits / 8bits eMMC 應用。
- Boot from EMMC 使用方式請參考
[〈 NT9833x_EMMC_User_Guide_en.pdf 〉](#)

支持清單，基本上是驗證一般規格產品，若有車用規格或寬溫產品等特殊需求，可請客戶提供 IC 型號及樣品給原廠確認。

列表如下所示

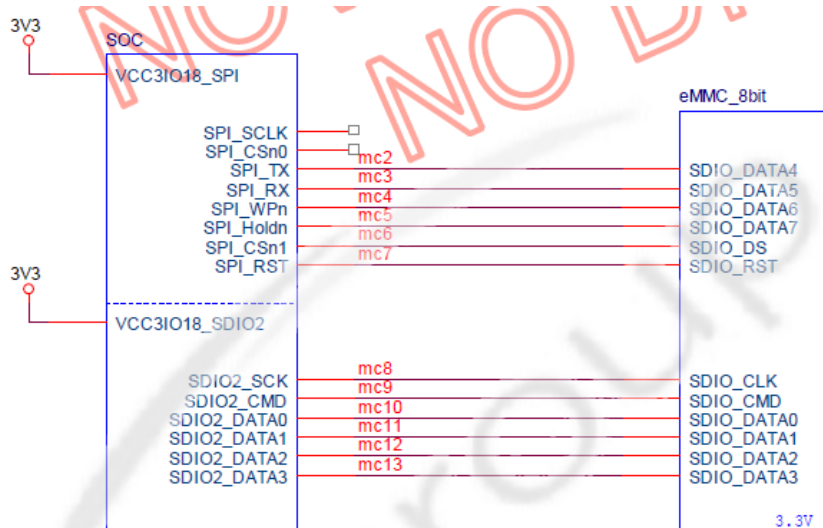
Vendor	Component Name	Size
Toshiba	THGBMNG5D1LBAIL	4 GB

接腳列表如下所示

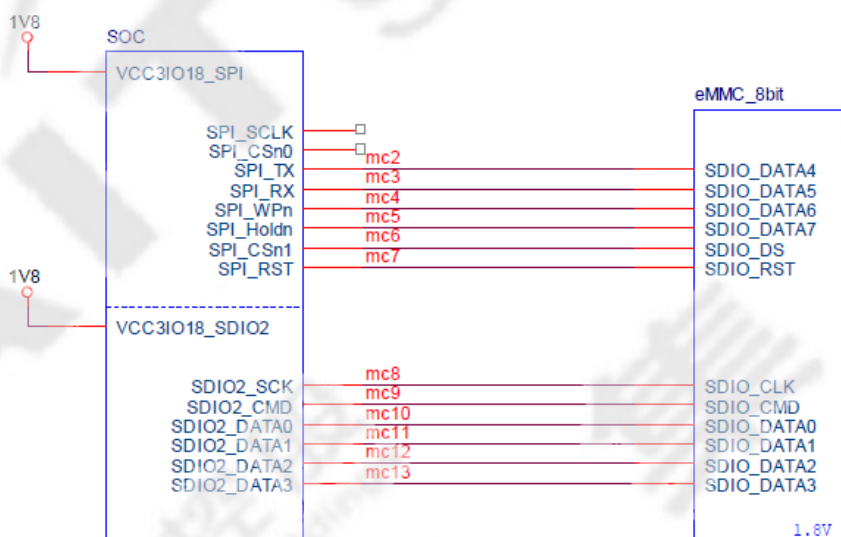
Pin name	Power domain	IO DIR	eMMC (8bit)	IO DIR	eMMC (4bit)
SPI_SCK	VCC3IO18_SPI				
SPI_CS _n [0]	VCC3IO18_SPI				
SPI_TX	VCC3IO18_SPI	IO	SDIO2_DATA4		
SPI_RX	VCC3IO18_SPI	IO	SDIO2_DATA5		
SPI_WP _n	VCC3IO18_SPI	IO	SDIO2_DATA6		
SPI_HOLD _n	VCC3IO18_SPI	IO	SDIO2_DATA7		
SPI_CS _n [1]	VCC3IO18_SPI	I	SDIO2_DS	I	SDIO2_DS
SPI_RSTO	VCC3IO18_SPI	O	SDIO2_RST_N	O	SDIO2_RST_N
SDIO2_CLK	VCC3IO18_SDIO2	O	SDIO2_CLK	O	SDIO2_CLK
SDIO2_CMD	VCC3IO18_SDIO2	IO	SDIO2_CMD	IO	SDIO2_CMD
SDIO2_DATA0	VCC3IO18_SDIO2	IO	SDIO2_DATA0	IO	SDIO2_DATA0
SDIO2_DATA1	VCC3IO18_SDIO2	IO	SDIO2_DATA1	IO	SDIO2_DATA1
SDIO2_DATA2	VCC3IO18_SDIO2	IO	SDIO2_DATA2	IO	SDIO2_DATA2
SDIO2_DATA3	VCC3IO18_SDIO2	IO	SDIO2_DATA3	IO	SDIO2_DATA3

請確認檢查 eMMC device 是 1.8V I/O 還是 3.3V I/O，通過 VCC3IO18_SPI 和 VCC3IO18_SDIO2 連接正確的電壓。

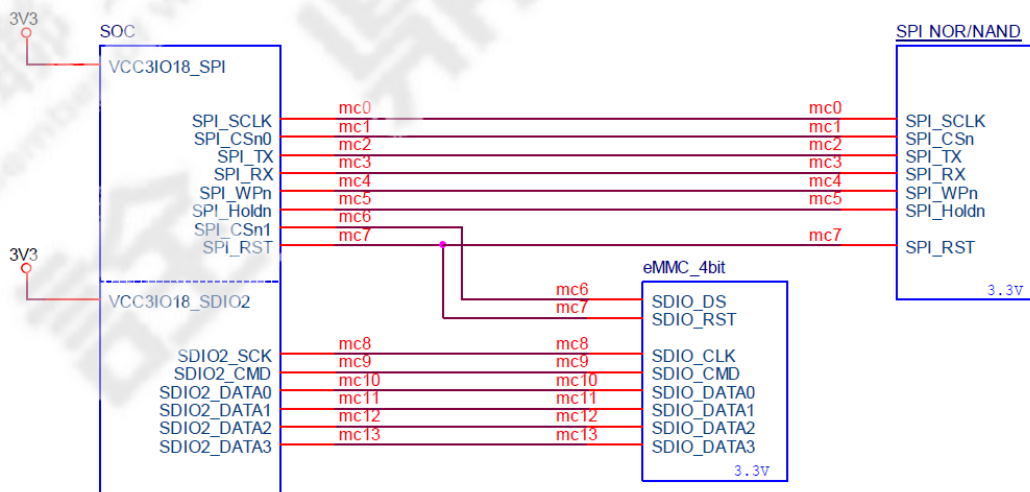
eMMC_8bit (3.3V) 如下圖所示



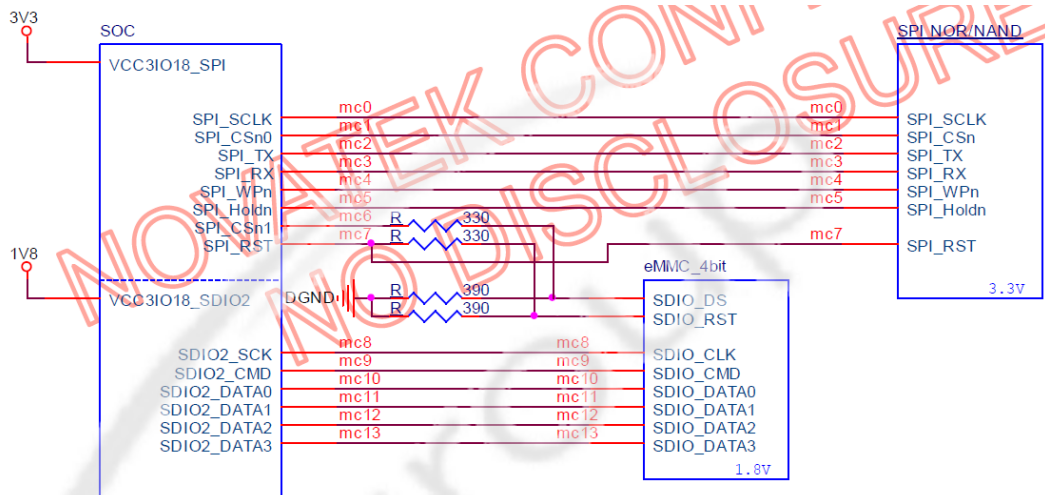
eMMC_8bit (1.8V) 如下圖所示



SPI NAND/NOR (3.3V only) + eMMC_4bit (3.3V) 如下圖所示



SPI NAND/NOR (3.3V only) + eMMC_4bit (1.8V) 如下圖所示



SPI NAND/NOR + eMMC_4bit 接腳列表如下所示

Pin name	Power domain	IO DIR	eMMC(4bit) / SPI NOR	IO DIR	eMMC(4bit) / SPI NAND	IO DIR	eMMC(4bit) / SPI Qual
SPI_SCK	VCC3IO18_SPI	O	SPI_SCK	O	SPI_SCK	O	SPI_SCK
SPI_CSn[0]	VCC3IO18_SPI	O	SPI_CSn[0]	O	SPI_CSn[0]	IO	SPI_CSn[0]
SPI_TX	VCC3IO18_SPI	O	SPI_TX	O	SPI_TX	IO	SPI_SIO0
SPI_RX	VCC3IO18_SPI	I	SPI_RX	I	SPI_RX	IO	SPI_SIO1
SPI_WPn	VCC3IO18_SPI			O	SPI_WPn	IO	SPI_SIO2
SPI_HOLDn	VCC3IO18_SPI			O	SPI_HOLDn	IO	SPI_SIO3
SPI_CSn[1]	VCC3IO18_SPI	I	SDIO2_DS	I	SDIO2_DS	I	SDIO2_DS
SPI_RSTO	VCC3IO18_SPI	O	SDIO2_RST_N	O	SDIO2_RST_N	O	SDIO2_RST_N
SDIO2_CLK	VCC3IO18_SDIO2	O	SDIO2_CLK	O	SDIO2_CLK	O	SDIO2_CLK
SDIO2_CMD	VCC3IO18_SDIO2	IO	SDIO2_CMD	IO	SDIO2_CMD	IO	SDIO2_CMD
SDIO2_DATA0	VCC3IO18_SDIO2	IO	SDIO2_DATA0	IO	SDIO2_DATA0	IO	SDIO2_DATA0
SDIO2_DATA1	VCC3IO18_SDIO2	IO	SDIO2_DATA1	IO	SDIO2_DATA1	IO	SDIO2_DATA1
SDIO2_DATA2	VCC3IO18_SDIO2	IO	SDIO2_DATA2	IO	SDIO2_DATA2	IO	SDIO2_DATA2
SDIO2_DATA3	VCC3IO18_SDIO2	IO	SDIO2_DATA3	IO	SDIO2_DATA3	IO	SDIO2_DATA3

使用方式請參考

< NT9833x_Linux_Driver_User_Guide_en.pdf > 第 14 章節內容說明。

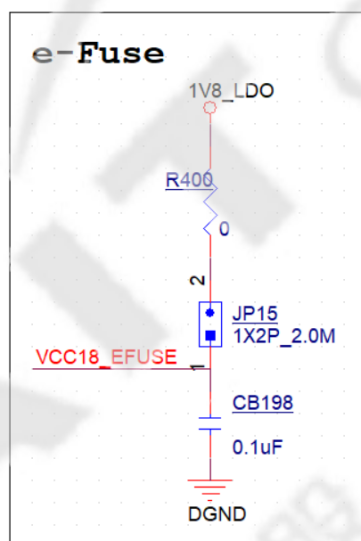
8. e-Fuse

NT9833x built-in on-chip mask ROM。

8.1 e-Fuse Application

- EFUSE 一般常態下不使用，VCC18_EFUSE pin 不連接 1.8V。
- 只在 EFUSE 燒錄時，VCC18_EFUSE pin 才需連接到 1.8V。

參考設計如下圖所示



9. Video Capture

NT98336 支持 8 port BT656 (CAP0/1/2/3/4/5/6/7) 輸入接口或 4 port BT1120 輸入接口。每 port 最高速度為 297MHz。

接腳列表如下所示

Pin name	Power domain	IO DIR	VCAP
CAPO_CLK	VCC3IO18_CAP	I	CAPO_CLK
CAPO_DATA[0]	VCC3IO18_CAP	I	CAPO_DAT[0]
CAPO_DATA[1]	VCC3IO18_CAP	I	CAPO_DAT[1]
CAPO_DATA[2]	VCC3IO18_CAP	I	CAPO_DAT[2]
CAPO_DATA[3]	VCC3IO18_CAP	I	CAPO_DAT[3]
CAPO_DATA[4]	VCC3IO18_CAP	I	CAPO_DAT[4]
CAPO_DATA[5]	VCC3IO18_CAP	I	CAPO_DAT[5]
CAPO_DATA[6]	VCC3IO18_CAP	I	CAPO_DAT[6]
CAPO_DATA[7]	VCC3IO18_CAP	I	CAPO_DAT[7]
CAP1_CLK	VCC3IO18_CAP	I	CAP1_CLK
CAP1_DATA[0]	VCC3IO18_CAP	I	CAP1_DAT[0]
CAP1_DATA[1]	VCC3IO18_CAP	I	CAP1_DAT[1]
CAP1_DATA[2]	VCC3IO18_CAP	I	CAP1_DAT[2]
CAP1_DATA[3]	VCC3IO18_CAP	I	CAP1_DAT[3]
CAP1_DATA[4]	VCC3IO18_CAP	I	CAP1_DAT[4]
CAP1_DATA[5]	VCC3IO18_CAP	I	CAP1_DAT[5]
CAP1_DATA[6]	VCC3IO18_CAP	I	CAP1_DAT[6]
CAP1_DATA[7]	VCC3IO18_CAP	I	CAP1_DAT[7]
CAP2_CLK	VCC3IO18_CAP	I	CAP2_CLK
CAP2_DATA[0]	VCC3IO18_CAP	I	CAP2_DAT[0]
CAP2_DATA[1]	VCC3IO18_CAP	I	CAP2_DAT[1]
CAP2_DATA[2]	VCC3IO18_CAP	I	CAP2_DAT[2]
CAP2_DATA[3]	VCC3IO18_CAP	I	CAP2_DAT[3]
CAP2_DATA[4]	VCC3IO18_CAP	I	CAP2_DAT[4]
CAP2_DATA[5]	VCC3IO18_CAP	I	CAP2_DAT[5]
CAP2_DATA[6]	VCC3IO18_CAP	I	CAP2_DAT[6]
CAP2_DATA[7]	VCC3IO18_CAP	I	CAP2_DAT[7]
CAP3_CLK	VCC3IO18_CAP	I	CAP3_CLK
CAP3_DATA[0]	VCC3IO18_CAP	I	CAP3_DAT[0]
CAP3_DATA[1]	VCC3IO18_CAP	I	CAP3_DAT[1]
CAP3_DATA[2]	VCC3IO18_CAP	I	CAP3_DAT[2]
CAP3_DATA[3]	VCC3IO18_CAP	I	CAP3_DAT[3]
CAP3_DATA[4]	VCC3IO18_CAP	I	CAP3_DAT[4]
CAP3_DATA[5]	VCC3IO18_CAP	I	CAP3_DAT[5]
CAP3_DATA[6]	VCC3IO18_CAP	I	CAP3_DAT[6]
CAP3_DATA[7]	VCC3IO18_CAP	I	CAP3_DAT[7]

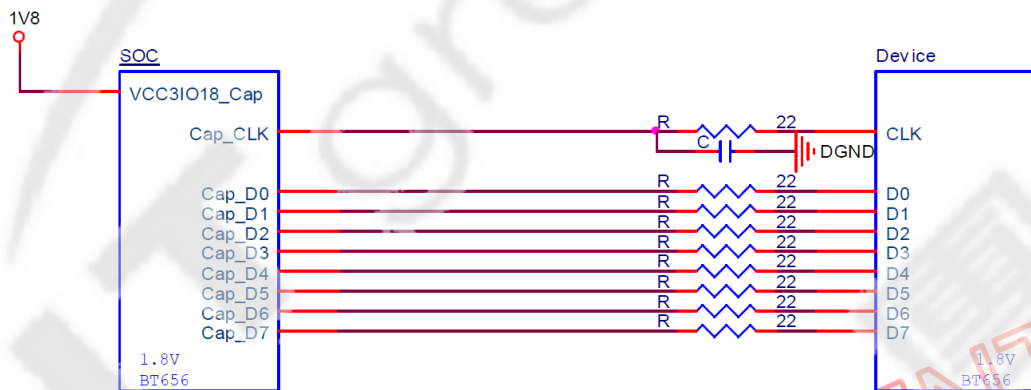
Pin name	Power domain	IO DIR	VCAP2
CSIO_D0N	VCC3IO18_CAP2		
CSIO_D0P	VCC3IO18_CAP2	I	CAP4_DAT[0]
CSIO_D1N	VCC3IO18_CAP2	I	CAP4_DAT[1]
CSIO_D1P	VCC3IO18_CAP2	I	CAP4_DAT[2]
CSIO_CK0N	VCC3IO18_CAP2	I	CAP4_DAT[3]
CSIO_CK0P	VCC3IO18_CAP2	I	CAP4_DAT[4]
CSIO_D2N	VCC3IO18_CAP2	I	CAP4_DAT[5]
CSIO_D2P	VCC3IO18_CAP2	I	CAP4_DAT[6]
CSIO_D3N	VCC3IO18_CAP2	I	CAP4_DAT[7]
CSIO_D3P	VCC3IO18_CAP2	I	CAP4_CLK
CSIO_CK1N	VCC3IO18_CAP2		
CSIO_CK1P	VCC3IO18_CAP2		
CSI1_D0N	VCC3IO18_CAP2		
CSI1_D0P	VCC3IO18_CAP2	I	CAP5_DAT[0]
CSI1_D1N	VCC3IO18_CAP2	I	CAP5_DAT[1]
CSI1_D1P	VCC3IO18_CAP2	I	CAP5_DAT[2]
CSI1_CK0N	VCC3IO18_CAP2	I	CAP5_DAT[3]
CSI1_CK0P	VCC3IO18_CAP2	I	CAP5_DAT[4]
CSI1_D2N	VCC3IO18_CAP2	I	CAP5_DAT[5]
CSI1_D2P	VCC3IO18_CAP2	I	CAP5_DAT[6]
CSI1_D3N	VCC3IO18_CAP2	I	CAP5_DAT[7]
CSI1_D3P	VCC3IO18_CAP2	I	CAP5_CLK
CSI1_CK1N	VCC3IO18_CAP2		
CSI1_CK1P	VCC3IO18_CAP2		
CSI2_D0N	VCC3IO18_CAP2		
CSI2_D0P	VCC3IO18_CAP2	I	CAP6_DAT[0]
CSI2_D1N	VCC3IO18_CAP2	I	CAP6_DAT[1]
CSI2_D1P	VCC3IO18_CAP2	I	CAP6_DAT[2]
CSI2_CK0N	VCC3IO18_CAP2	I	CAP6_DAT[3]
CSI2_CK0P	VCC3IO18_CAP2	I	CAP6_DAT[4]
CSI2_D2N	VCC3IO18_CAP2	I	CAP6_DAT[5]
CSI2_D2P	VCC3IO18_CAP2	I	CAP6_DAT[6]
CSI2_D3N	VCC3IO18_CAP2	I	CAP6_DAT[7]
CSI2_D3P	VCC3IO18_CAP2	I	CAP6_CLK
CSI2_CK1N	VCC3IO18_CAP2		
CSI2_CK1P	VCC3IO18_CAP2		
CSI3_D0N	VCC3IO18_CAP2		
CSI3_D0P	VCC3IO18_CAP2	I	CAP7_DAT[0]
CSI3_D1N	VCC3IO18_CAP2	I	CAP7_DAT[1]
CSI3_D1P	VCC3IO18_CAP2	I	CAP7_DAT[2]
CSI3_CK0N	VCC3IO18_CAP2	I	CAP7_DAT[3]
CSI3_CK0P	VCC3IO18_CAP2	I	CAP7_DAT[4]
CSI3_D2N	VCC3IO18_CAP2	I	CAP7_DAT[5]
CSI3_D2P	VCC3IO18_CAP2	I	CAP7_DAT[6]
CSI3_D3N	VCC3IO18_CAP2	I	CAP7_DAT[7]
CSI3_D3P	VCC3IO18_CAP2	I	CAP7_CLK
CSI3_CK1N	VCC3IO18_CAP2		
CSI3_CK1P	VCC3IO18_CAP2		

9.1 BT656 Application

- VCap 0 / 1 / 2 / 3 屬於 VCC3IO18_Cap 電源。VCC3IO18_Cap 的電壓可以支持 3.3V 或 1.8V 電壓。
- VCap 4 / 5 / 6 / 7 屬於 VCC3IO18_Cap2 電源。VCC3IO18_Cap2 的電壓可以支持 3.3V 或 1.8V 電壓。
- VCap 4 / 5 / 6 / 7 功能需要透過 pin-mux 設置開啟。
- VCap 0 / 1 / 2 / 3 / 4 / 5 / 6 / 7 支持 8 組 8-bit BT656 輸入。

參考如下圖所示

BT656 (1.8V IO)



BT656 (3.3V IO)

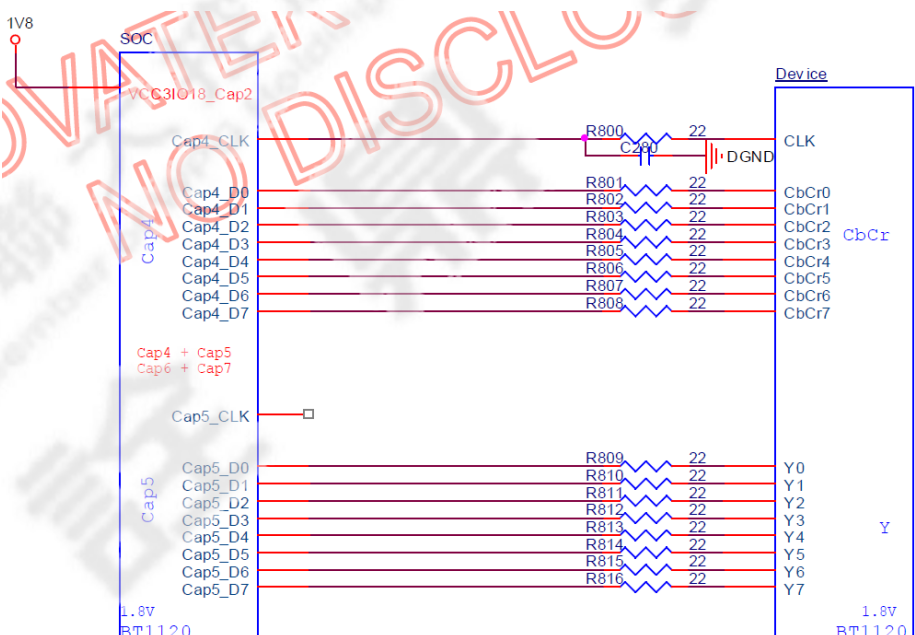
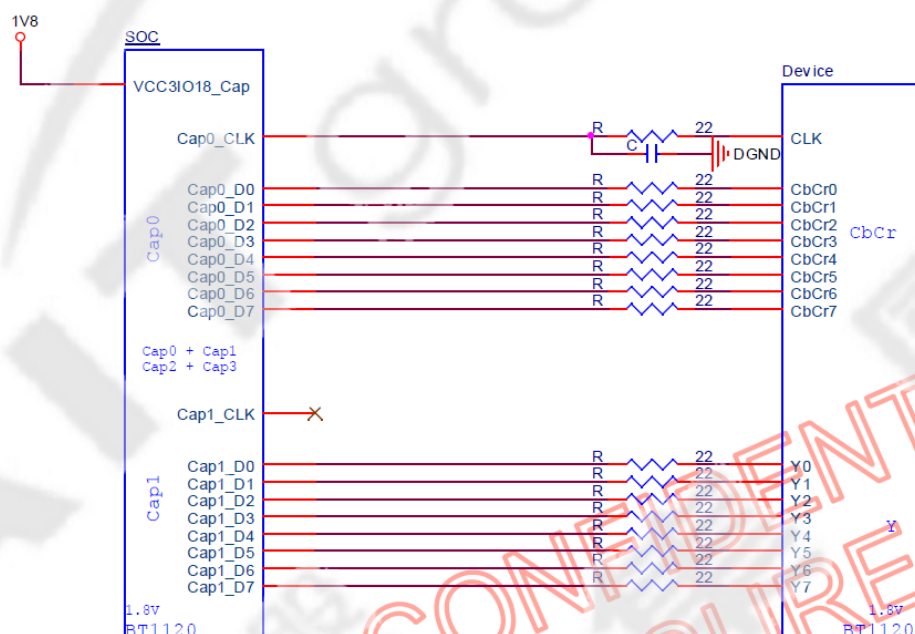


9.2 BT1120 Application

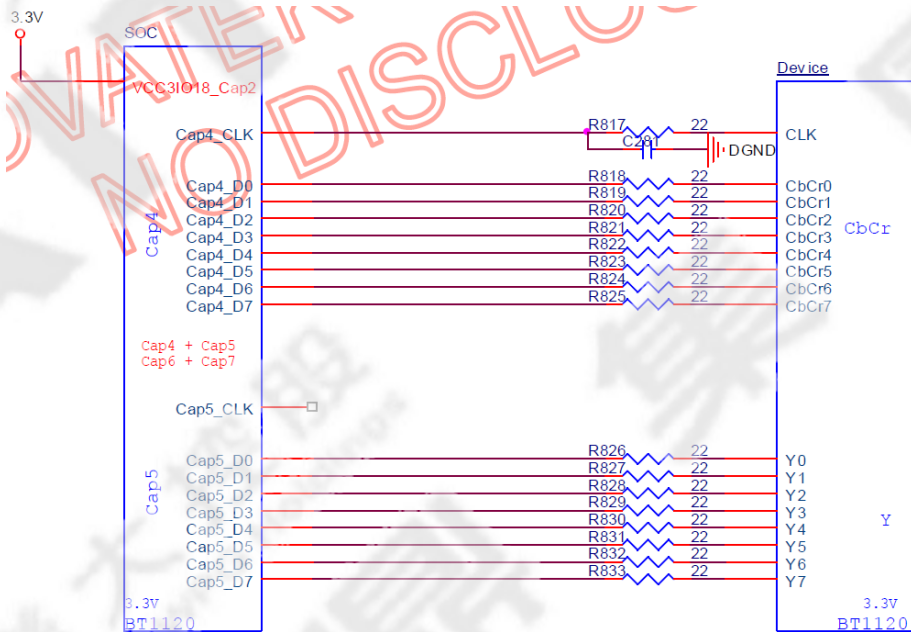
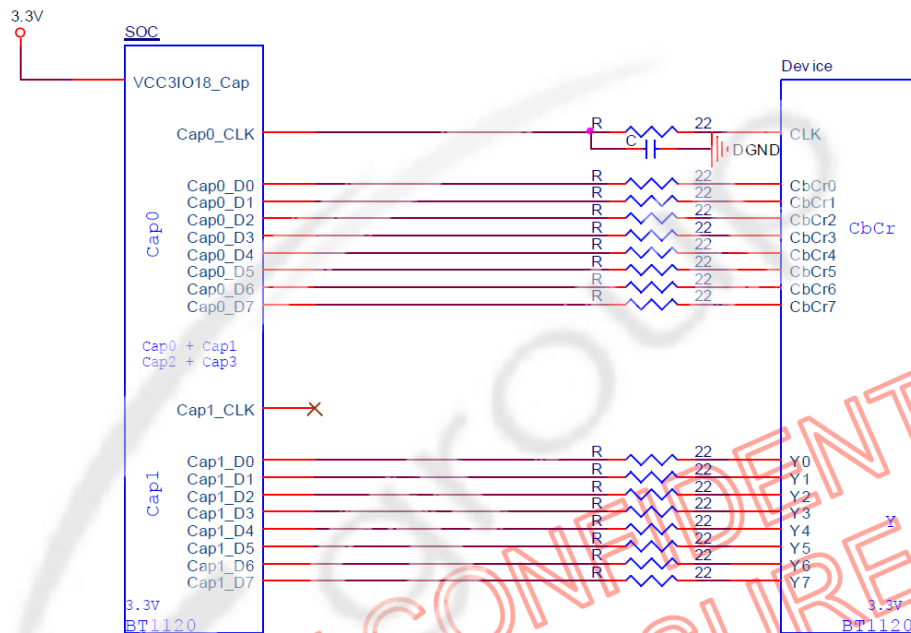
- VCap 0 / 1 / 2 / 3 屬於 VCC3IO18_Cap 電源。VCC3IO18_Cap 的電壓可以支持 3.3V 或 1.8V 電壓。
- VCap 4 / 5 / 6 / 7 屬於 VCC3IO18_Cap2 電源。VCC3IO18_Cap2 的電壓可以支持 3.3V 或 1.8V 電壓。
- VCap 4 / 5 / 6 / 7 功能需要透過 pin-mux 設置開啟。
- VCap 0/1、2/3、4/5、6/7 可組合成 4 組 16-bit BT1120 輸入。

參考如下圖所示

BT1120 (1.8V IO)



BT1120 (3.3V IO)



9.3 Video Decoder Support List

列表如下所示

Vendor	Component Name	BT656組數
Techpoint	TP2830	2
Nextchip	NVP6168C	2

10. MIPI CSI

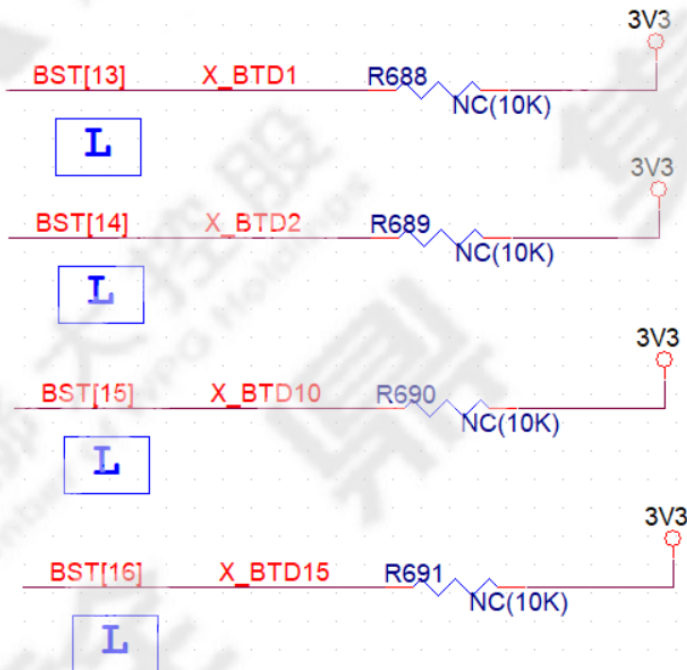
NT98336 支持四組 MIPI D-PHY (v1.1) 接口。

10.1 MIPI CSI Application

- 2C4D for each MIPI D-PHY (1C4D x1 or 1C2D x2)。
- Bit rate up to 1.5 Gbit/s per lane。
- MIPI CSI PHY function enable bias by SW control。

透過 BST[16..13]的設定，MIPI CSI PHY function 可由 SW 做控制使用。
使用設定列表與參考電路如下圖所示

BST[16..13]	MIPI CSI PHY EN Bias by SW control
BST[13]	0:CSI PHY EN Bias can't enable by sw 1:CSI PHY EN Bias can enable by sw
BST[14]	0:CSI PHY2 EN Bias can't enable by sw 1:CSI PHY2 EN Bias can enable by sw
BST[15]	0:CSI PHY3 EN Bias can't enable by sw 1:CSI PHY3 EN Bias can enable by sw
BST[16]	0:CSI PHY4 EN Bias can't enable by sw 1:CSI PHY4 EN Bias can enable by sw



接腳列表如下所示

Pin name	Power domain	IO DIR	MIPI CSI
CSI0_D0N	VCC3IO18_CAP2	I	PHY_D0N
CSI0_D0P	VCC3IO18_CAP2	I	PHY_D0P
CSI0_D1N	VCC3IO18_CAP2	I	PHY_D1N
CSI0_D1P	VCC3IO18_CAP2	I	PHY_D1P
CSI0_CK0N	VCC3IO18_CAP2	I	PHY_CK0N
CSI0_CK0P	VCC3IO18_CAP2	I	PHY_CK0P
CSI0_D2N	VCC3IO18_CAP2	I	PHY_D2N
CSI0_D2P	VCC3IO18_CAP2	I	PHY_D2P
CSI0_D3N	VCC3IO18_CAP2	I	PHY_D3N
CSI0_D3P	VCC3IO18_CAP2	I	PHY_D3P
CSI0_CK1N	VCC3IO18_CAP2	I	PHY_CK1N
CSI0_CK1P	VCC3IO18_CAP2	I	PHY_CK1P

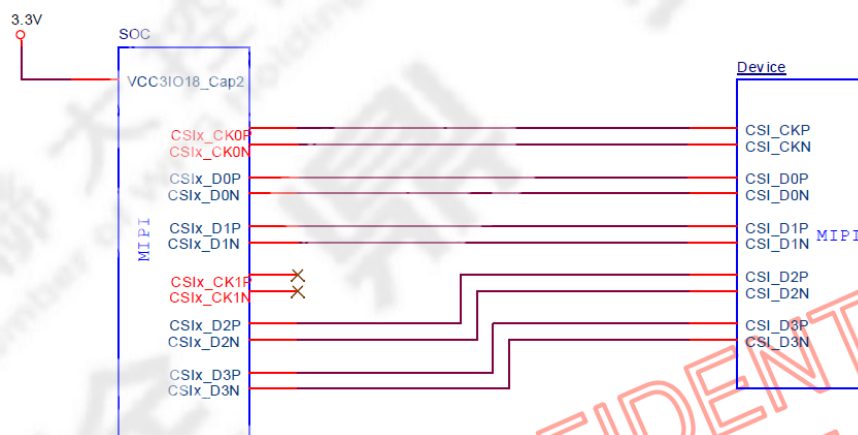
Pin name	Power domain	IO DIR	MIPI CSI
CSI1_D0N	VCC3IO18_CAP2	I	PHY2_D0N
CSI1_D0P	VCC3IO18_CAP2	I	PHY2_D0P
CSI1_D1N	VCC3IO18_CAP2	I	PHY2_D1N
CSI1_D1P	VCC3IO18_CAP2	I	PHY2_D1P
CSI1_CK0N	VCC3IO18_CAP2	I	PHY2_CK0N
CSI1_CK0P	VCC3IO18_CAP2	I	PHY2_CK0P
CSI1_D2N	VCC3IO18_CAP2	I	PHY2_D2N
CSI1_D2P	VCC3IO18_CAP2	I	PHY2_D2P
CSI1_D3N	VCC3IO18_CAP2	I	PHY2_D3N
CSI1_D3P	VCC3IO18_CAP2	I	PHY2_D3P
CSI1_CK1N	VCC3IO18_CAP2	I	PHY2_CK1N
CSI1_CK1P	VCC3IO18_CAP2	I	PHY2_CK1P

Pin name	Power domain	IO DIR	MIPI CSI
CSI2_D0N	VCC3IO18_CAP2	I	PHY3_D0N
CSI2_D0P	VCC3IO18_CAP2	I	PHY3_D0P
CSI2_D1N	VCC3IO18_CAP2	I	PHY3_D1N
CSI2_D1P	VCC3IO18_CAP2	I	PHY3_D1P
CSI2_CK0N	VCC3IO18_CAP2	I	PHY3_CK0N
CSI2_CK0P	VCC3IO18_CAP2	I	PHY3_CK0P
CSI2_D2N	VCC3IO18_CAP2	I	PHY3_D2N
CSI2_D2P	VCC3IO18_CAP2	I	PHY3_D2P
CSI2_D3N	VCC3IO18_CAP2	I	PHY3_D3N
CSI2_D3P	VCC3IO18_CAP2	I	PHY3_D3P
CSI2_CK1N	VCC3IO18_CAP2	I	PHY3_CK1N
CSI2_CK1P	VCC3IO18_CAP2	I	PHY3_CK1P

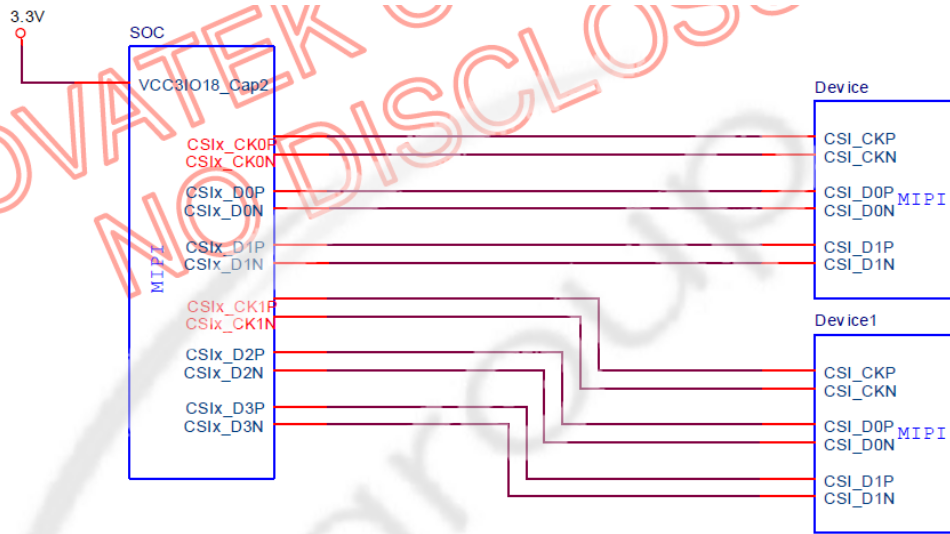
Pin name	Power domain	IO DIR	MIPI CSI
CSI3_D0N	VCC3IO18_CAP2	I	PHY4_D0N
CSI3_D0P	VCC3IO18_CAP2	I	PHY4_D0P
CSI3_D1N	VCC3IO18_CAP2	I	PHY4_D1N
CSI3_D1P	VCC3IO18_CAP2	I	PHY4_D1P
CSI3_CK0N	VCC3IO18_CAP2	I	PHY4_CK0N
CSI3_CK0P	VCC3IO18_CAP2	I	PHY4_CK0P
CSI3_D2N	VCC3IO18_CAP2	I	PHY4_D2N
CSI3_D2P	VCC3IO18_CAP2	I	PHY4_D2P
CSI3_D3N	VCC3IO18_CAP2	I	PHY4_D3N
CSI3_D3P	VCC3IO18_CAP2	I	PHY4_D3P
CSI3_CK1N	VCC3IO18_CAP2	I	PHY4_CK1N
CSI3_CK1P	VCC3IO18_CAP2	I	PHY4_CK1P

參考如下圖所示

MIPI 1C4D



MIPI 1C2D



使用 MIPI CSI 功能時，VCC3IO18_Cap2 必須為 3.3V。

當使用 MIPI 1C4D 時，CLK 必須連接 CSIx_CK0P & CSIx_CK0N。

11. Audio

NT98336 支援五組 I2S 功能。

接腳列表如下所示

Pin name	Power domain	IO DIR	I2S
I2S_MCLK	VCC3IO18	O	I2S_MCLK
I2S_SCLK	VCC3IO18	IO	I2S_SCLK
I2S_FS	VCC3IO18	IO	I2S_FS
I2S_RXD	VCC3IO18	I	I2S_RXD
I2S_TXD	VCC3IO18	O	I2S_TXD
I2S2_MCLK	VCC3IO18_CAP	O	I2S2_MCLK
I2S2_SCLK	VCC3IO18_CAP	IO	I2S2_SCLK
I2S2_FS	VCC3IO18_CAP	IO	I2S2_FS
I2S2_RXD	VCC3IO18_CAP	I	I2S2_RXD
I2S2_TXD	VCC3IO18_CAP	O	I2S2_TXD

Pin name	Power domain	IO DIR	I2S
CPU_NTRST	VCC3IO	O	I2S3_3_MCLK
CPU_TDI	VCC3IO	IO	I2S3_3_FS
CPU_TMS	VCC3IO	IO	I2S3_3_SCLK
CPU_TCK	VCC3IO	I	I2S3_3_RXD
CPU_TDO	VCC3IO	O	I2S3_3_TXD

11.1 I2S Application

- 一組內部 HDMI 使用。
- 一組 (I2S4) 支援 BT1120 output 連接 external HDMI IC 使用。
- I2S 屬於 VCC3IO18 (3.3V 或 1.8V) 電源。
- I2S2 屬於 VCC3IO18_Cap (3.3V 或 1.8V) 電源。
- I2S3 屬於 VCC3IO (only 3.3V) 電源。
- I2S3 功能需透過 pin-mux 設置開啟。
- Audio Tx : I2S / I2S2 各別可支援 20 CH，支持 TDM mode。
- Audio Tx : I2S3 僅支援 1 CH。
- Audio Rx : I2S / I2S2 各別可支援 20 CH，支持 TDM mode。
- Audio Rx : I2S3 僅支援 1 CH。

11.2 Audio Application

參考設計沒有特別去做 audio 的規劃，audio codec 都是由客戶自行設計，然後與 SOC 的 I2S interface 對接。

11.3 XVR Audio Application

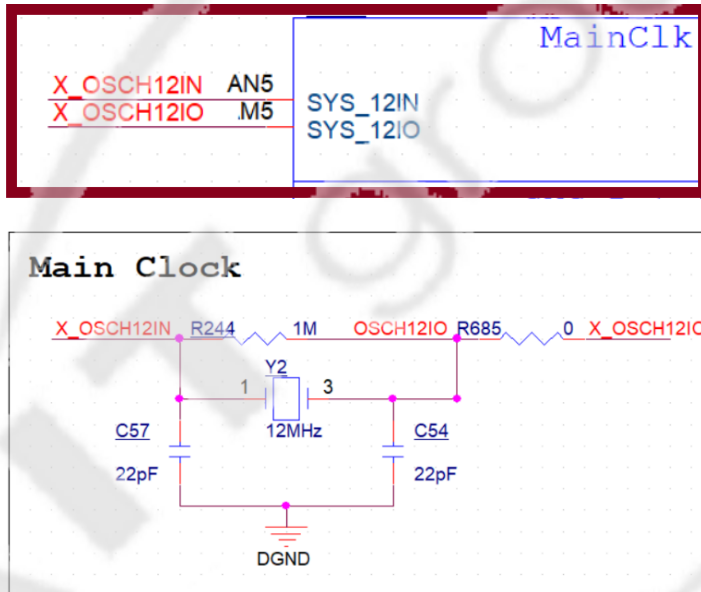
NT9833x EVB 是透過外接 TP2830 的 audio codec 輸出，需掛載 driver。若是搭載其他廠牌 IC，則須由客戶自行設計開發。

12. Clock and RESET

12.1 System Clock

透過 SOC 與外接 12MHz 晶體振盪電路組成主要的 System Clock，crystal 料件要求應選用 $\pm 20\text{ppm}$ 以下頻率誤差率的料件使用。電容材質建議採用 NPO 類型。

使用參考電路如下圖所示



12.2 External Clock

- NT98336 支援 4 個 EXT_CLK output pin (EXT_CLK / EXT2_CLK / EXT3_CLK / EXT4_CLK)，用於提供 video A/D 的外部時鐘。
- 支援 12MHz、12.288MHz、25MHz、27MHz 等頻率輸出。
- 專用 EXT_CLK、EXT2_CLK、EXT3_CLK 和 EXT4_CLK 引腳的輸出 CLK 是同頻、同源、同相。
- EXT_CLK 屬於 VCC3IO18 (1.8V 或 3.3V) 電源。
- EXT2_CLK、EXT3_CLK、EXT4_CLK 屬於 VCC3IO18_Cap (1.8V 或 3.3V) 電源。

接腳列表如下所示

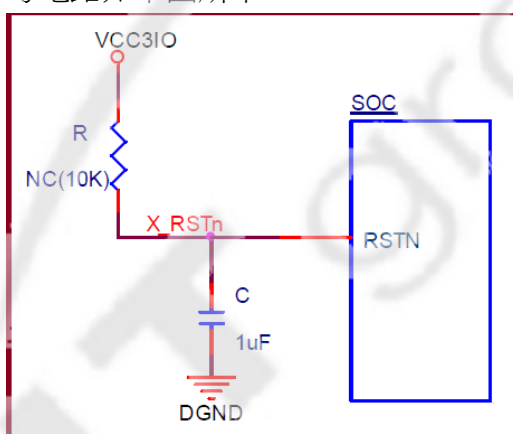
Pin name	Power domain	IO DIR	EXT_CLK
EXT_CLK	VCC3IO18	O	EXT_CLK
EXT2_CLK	VCC3IO18_CAP	O	EXT2_CLK
EXT3_CLK	VCC3IO18_CAP	O	EXT3_CLK
EXT4_CLK	VCC3IO18_CAP	O	EXT4_CLK

EXT_CLK 建議預留外部 RC 電路靠近 SOC pin 腳與確認輸出頻率是否符合使用需求。也請確認 VCC3IO / VCC3IO18_Cap 的電源是否滿足外部 video A/D 的 IO 電源使用。

12.3 System RESET

X_RSTN 為 SOC 內部主要 reset signal，預留 10K ohm 到 VCC3IO，1uF 應靠近 RSTN pin。

參考電路如下圖所示



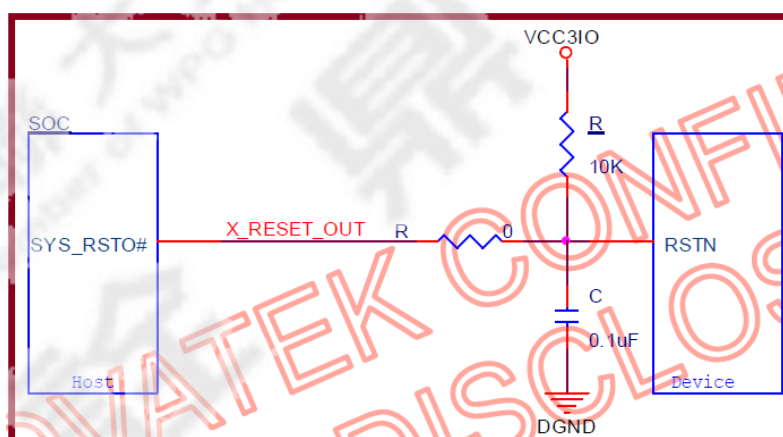
X_RSTN 若使用外接 Reset IC，則需要挑選具有 open-drain 輸出之 IC 型號。

12.4 RESET_OUT

SYS_RSTO# 可用於 reset 外部 IC 使用。

SYS_RSTO# 為 open-drain output，需加上拉電阻。

參考電路如下圖所示



13. Display

影像輸出支援 HDMI、VGA、CVBS、BT1120 output 等接口輸出。

13.1 Display Application

- 提供一組 HDMI 1.4a 輸出接口，最大支援輸出至 3840x2160/30p。
- 提供一組 VGA 輸出接口，最大支援輸出至 1920x1080/60p。
- 提供一組 CVBS 輸出接口。
- 提供一組 BT1120 輸出信號。

使用方式請參考

< NT9833x_Linux_Driver_User_Guide_en.pdf > 第 13 章節內容說明。

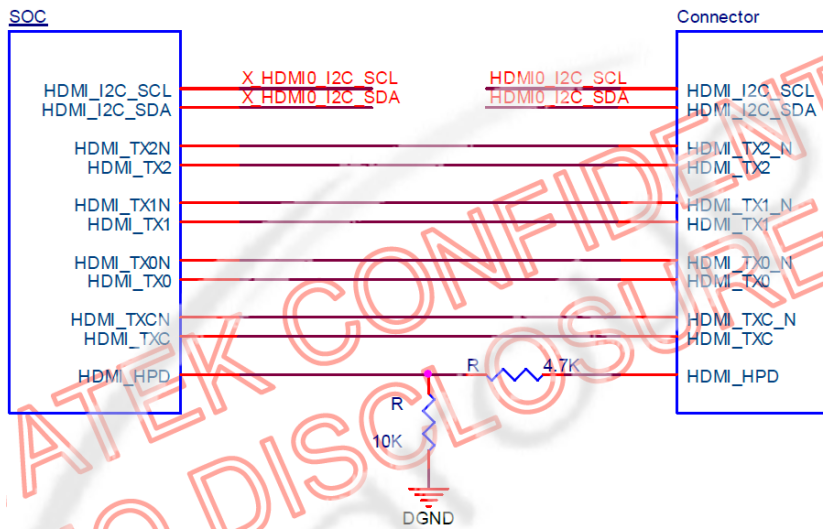
13.2 HDMI TX

- HDMI TX 支援 4K2K 影像輸出。

接腳列表如下所示

Pin name	Power domain	IO DIR	HDMI
HDMI_I2C_SCL	VCC3IO	I/O	HDMI_I2C_SCL
HDMI_I2C_SDA	VCC3IO	I/O	HDMI_I2C_SDA
HDMI_HPD	VCC3IO	I	HDMI_HPD
HDMI_TXC_N	VCC33A_HDMI	O	HDMI Differential pixel Clock N
HDMI_TXC	VCC33A_HDMI	O	HDMI Differential pixel Clock P
HDMI_TX0_N	VCC33A_HDMI	O	HDMI Differential data channel 0 N
HDMI_TX0	VCC33A_HDMI	O	HDMI Differential data channel 0 P
HDMI_TX1_N	VCC33A_HDMI	O	HDMI Differential data channel 1 N
HDMI_TX1	VCC33A_HDMI	O	HDMI Differential data channel 1 P
HDMI_TX2_N	VCC33A_HDMI	O	HDMI Differential data channel 2 N
HDMI_TX2	VCC33A_HDMI	O	HDMI Differential data channel 2 P
VCC33A_HDMI		p	3.3V for HDMI
VCC18A_HDMI		p	1.8V for HDMI

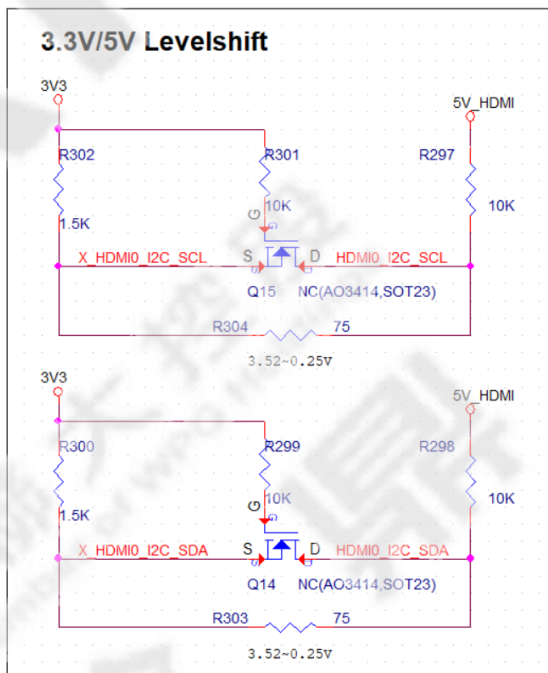
參考設計如下圖所示



HDMI_HPD 接到 HDMI connector HOT PLUG DET。並使用 4.7K & 10K 電阻分壓連接。

HDMI_I2C 需搭配 3.3V/5V level shift circuit。

參考電路如下圖所示

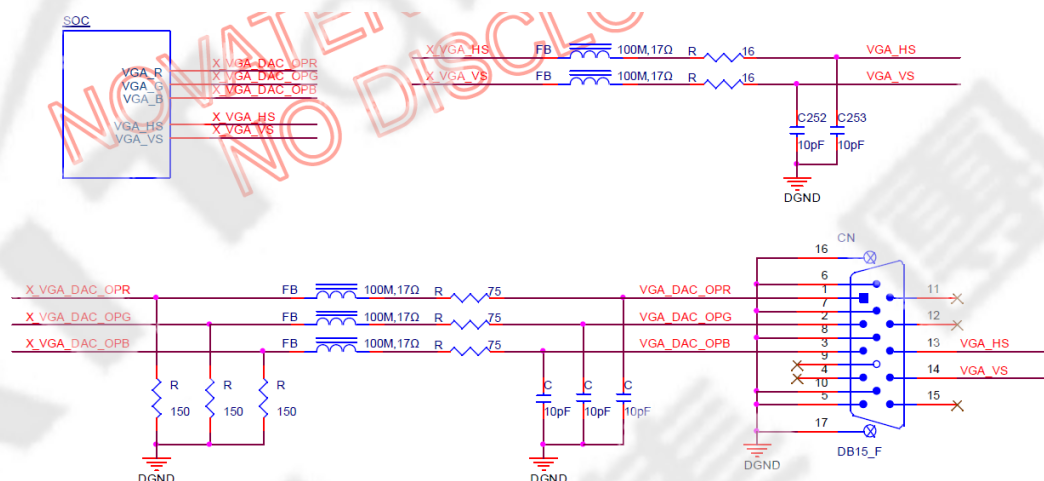


13.3 VGA

接腳列表如下所示

Pin name	Power domain	IO DIR	VGA
VGA_HS	VCC3IO	O	VGA_DAC_HS
VGA_VS	VCC3IO	O	VGA_DAC_VS
VGA_OPR	VCC33A_DAC1	O	VGA DAC Current output for the R Channel
VGA_OPG	VCC33A_DAC2	O	VGA DAC Current output for the G Channel
VGA_OPB	VCC33A_DAC3	O	VGA DAC Current output for the B Channel
VCC33A_DAC_1		p	3.3V for VGA
VCC33A_DAC_2		p	3.3V for VGA
VCC33A_DAC_3		p	3.3V for VGA
VCC33A_DAC_REF		p	3.3V for VREF

參考設計如下圖所示



VGA_OPR / VGA_OPG / VGA_OPB 分別連接 150 ohm 電阻下地與串接 75 ohm 電阻，並靠近 Connector。

對於長距離 Cable 與平台相容，請在 X_VGA_HS / X_VGA_VS 路徑串接 16 ohm 做阻抗匹配用。

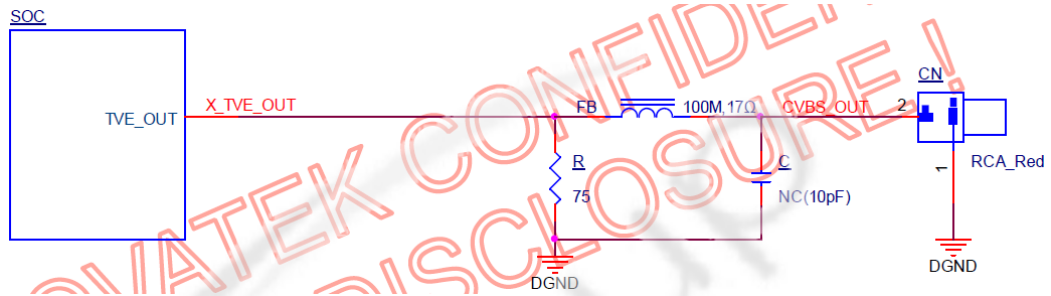
13.4 CVBS

- NT9833x 內建 TV encoder 與 current DAC，可以輸出 composite video 訊號，支援 NTSC 與 PAL 系統。

接腳列表如下所示

Pin name	Power domain	IO DIR	Description
TVE_OUT	VCC33A_DAC0	O	CVBS Output
VCC33A_DAC_0		p	3.3V for CVBS

參考設計如下圖所示



TVE_OUT 不支援 2Vp-p 振幅輸出，須連接 75 ohm 下地，外部電路元件並置於靠近連接器。

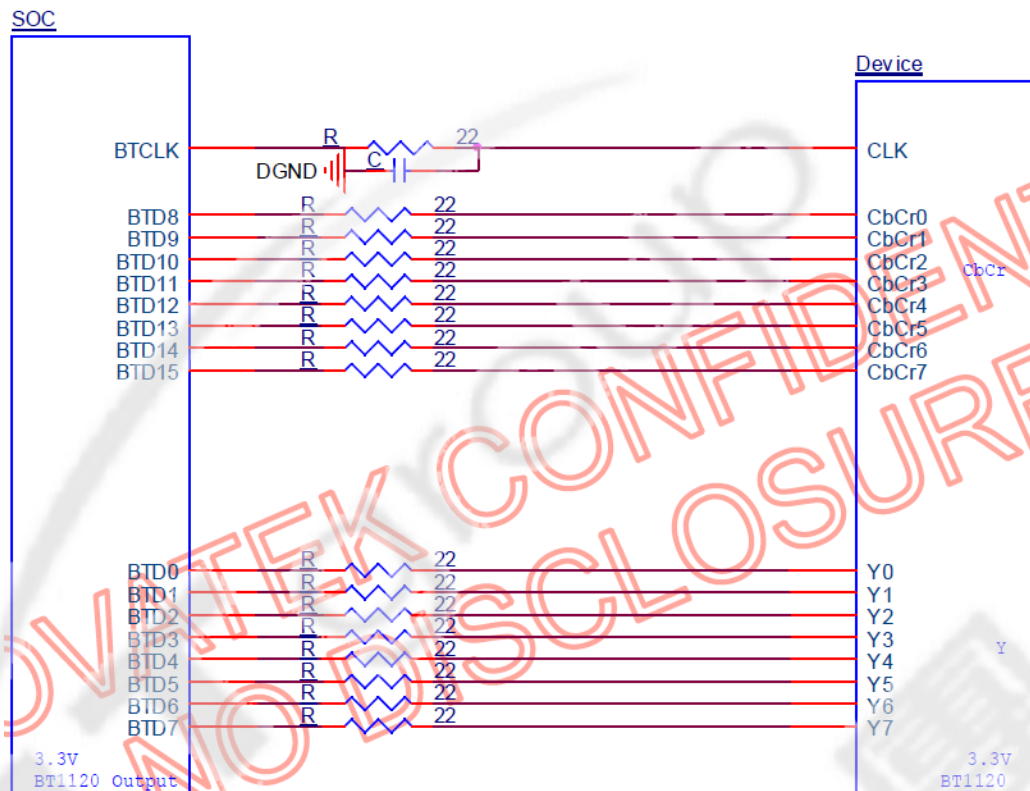
13.5 BT1120 Output

- NT9833x 支持一組 BT1120 輸出信號，可用於外接 external HDMI IC 使用。
- 確認 SOC 的電壓是否和外部元件相同 (only 3.3V)。
- BT1120 輸出的最高驅動電流為 16mA，不適合遠距離傳輸或通過連接器傳輸。
- BTD[1]-BTD[15] 也是 bootstrap pin setting，上電時注意電壓位準。
- BT1120 輸出支持 Y/C byte 交換。

接腳列表如下所示

Pin name	Power domain	IO DIR	BT 1120_VO
BT_CLK	VCC3IO	O	BT1120_CLK
BT_D0	VCC3IO	O	BT1120_D[0]_CbCr[0]
BT_D1	VCC3IO	O	BT1120_D[1]_CbCr[1]
BT_D2	VCC3IO	O	BT1120_D[2]_CbCr[2]
BT_D3	VCC3IO	O	BT1120_D[3]_CbCr[3]
BT_D4	VCC3IO	O	BT1120_D[4]_CbCr[4]
BT_D5	VCC3IO	O	BT1120_D[5]_CbCr[5]
BT_D6	VCC3IO	O	BT1120_D[6]_CbCr[6]
BT_D7	VCC3IO	O	BT1120_D[7]_CbCr[7]
BT_D8	VCC3IO	O	BT1120_D[8]_Y[0]
BT_D9	VCC3IO	O	BT1120_D[9]_Y[1]
BT_D10	VCC3IO	O	BT1120_D[10]_Y[2]
BT_D11	VCC3IO	O	BT1120_D[11]_Y[3]
BT_D12	VCC3IO	O	BT1120_D[12]_Y[4]
BT_D13	VCC3IO	O	BT1120_D[13]_Y[5]
BT_D14	VCC3IO	O	BT1120_D[14]_Y[6]
BT_D15	VCC3IO	O	BT1120_D[15]_Y[7]

參考設計如下圖所示



- I2S4 支援 BT1120 output 連接 external HDMI IC 使用。
- I2S4 屬於 VCC3IO (only 3.3V) 電源。
- I2S4 功能需要透過 pin-mux 設置開啟。

接腳列表如下所示

Pin name	Power domain	IO DIR	I2S
UART3_SOUT	VCC3IO	O	I2S4_TXD
UART3_SIN	VCC3IO	O	I2S4_MCLK
PGPIO_40	VCC3IO	IO	I2S4_FS
PGPIO_41	VCC3IO	IO	I2S4_SCLK

14. USB

NT9833x 支援兩組 USB 2.0 port，一組 USB 3.0 port。

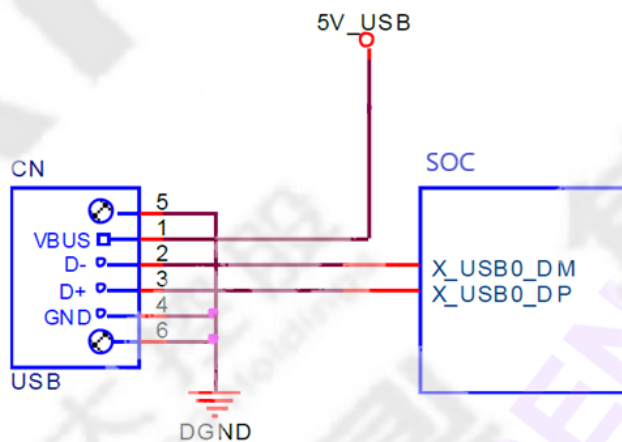
14.1 USB 2.0 Application

- USB20_DP/DM 可用於 FW upgrade 使用。
- 建議設計 USB_5V 電源開關控制電路。

接腳列表如下所示

Pin name	IO Type	Description
USB20_DM	IO	USB 2.0 Differential Signal M for Port 1
USB20_DP	IO	USB 2.0 Differential Signal P for Port 1
VCC33A_U2	p	3.3V for USB2.0 Port1
USB20_2_DM	IO	USB 2.0 Differential Signal M for Port 2
USB20_2_DP	IO	USB 2.0 Differential Signal P for Port 2
VCC33A_U2_2	p	3.3V for USB2.0 Port2

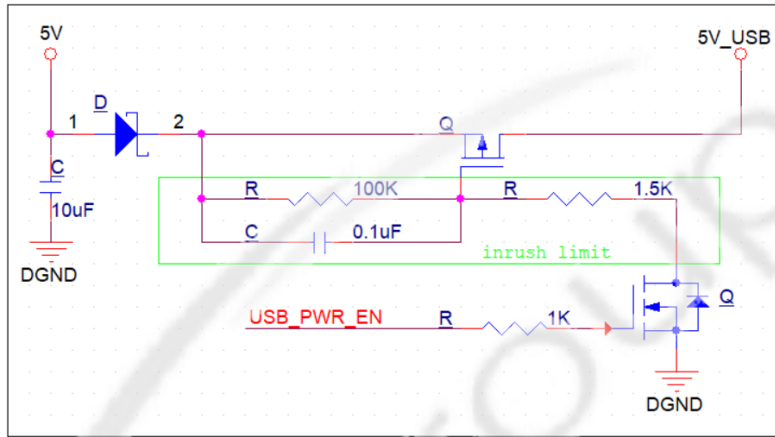
參考設計如下圖所示



USB 電源應用設計方式

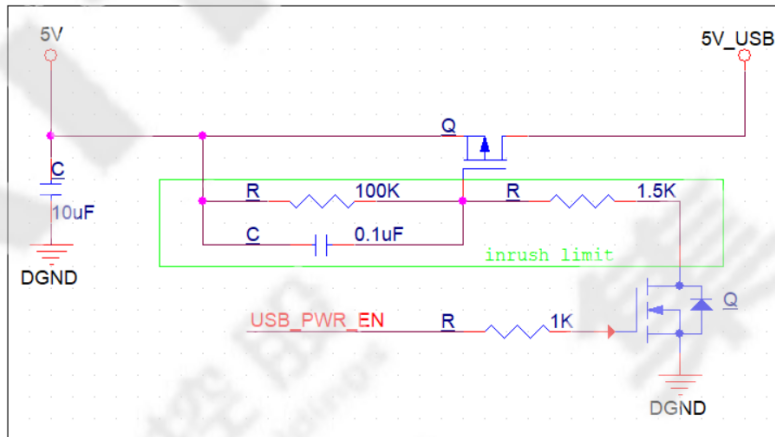
- 針對有 USB upgrade 需求的 port，設計成下圖的方式，D 二極體的順向偏壓要找低一點的，以避免 5V_USB 電壓偏低。

參考如下圖所示



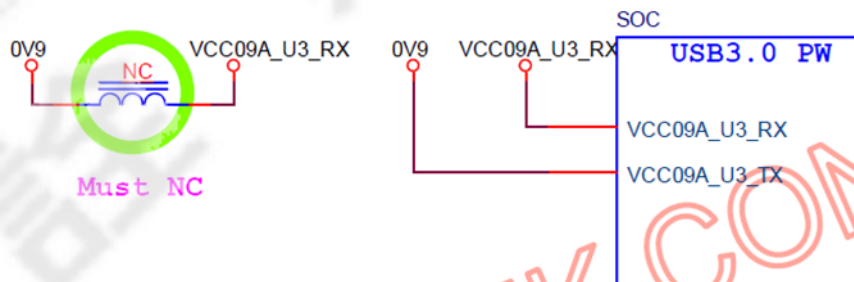
- 若沒有 USB upgrade 需求的 port，則建議設計成下圖的方式，不需加上二極體。

參考如下圖所示



14.2 USB 3.0 Application

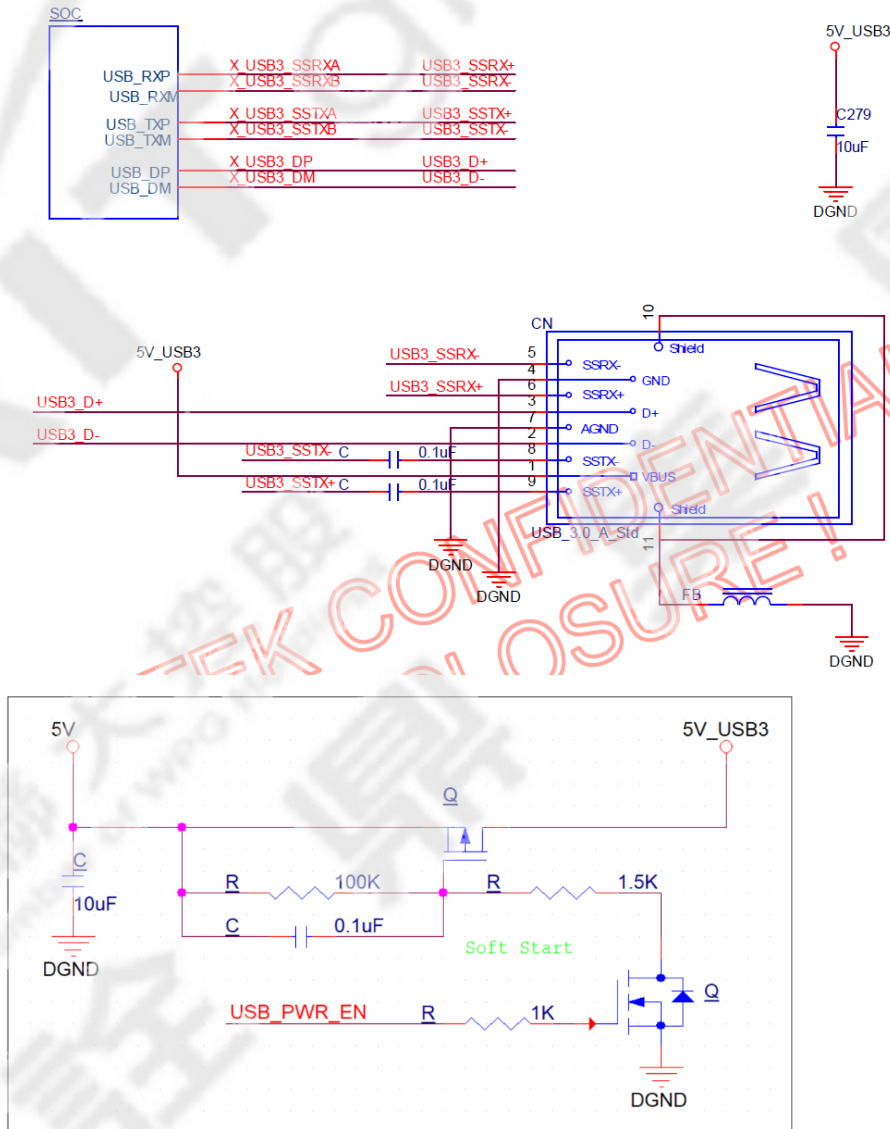
- 建議設計 USB_5V 電源開關控制電路。
- VCC09A_U3_RX 為使用 USB3.0 內部 LDO，請勿再連接外部電源。



接腳列表如下所示

Pin name	IO Type	Description
USB30_DM	IO	USB 2.0 Differential Signal M for Port 0
USB30_DP	IO	USB 2.0 Differential Signal P for Port 0
USB30_RXM	I	USB 3.0 RX Differential Signal M
USB30_RXP	I	USB 3.0 RX Differential Signal P
USB30_TXM	O	USB 3.0 TX Differential Signal M
USB30_TXP	O	USB 3.0 TX Differential Signal P
VCC09A_U3_TX	p	0.9V for USB3.0 TX
VCC09A_U3_RX	p	0.9V for USB3.0 RX
VCC33A_U3	p	3.3V for USB

參考設計如下圖所示



使用方式請參考

< NT9833x_Linux_Driver_User_Guide_en.pdf > 第 3 章節內容說明。

15. I2C

I2C 是一種串列通訊協定匯流排，可以串接多個 IC 元件，僅需二條訊號線即可實踐，一為 SCL(頻率訊號)，一為 SDA(數據訊號)。操作模式為 master mode 與 slave mode，NT9833x 僅提供 master mode 使用，必須外接上拉電阻，上拉電阻的 power 請根據 IO power 做調整。

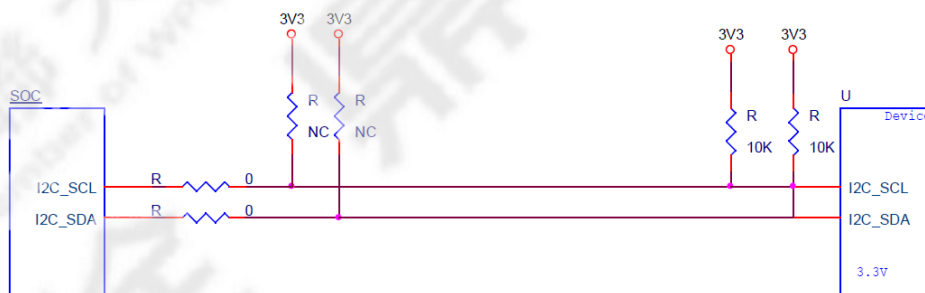
15.1 I2C Application

- 支援三組 I2C 接口 (I2C / I2C2 / I2C3)。
- I2C 屬於 VCC3IO18 (1.8V 或 3.3V) 電源。
- I2C2 屬於 VCC3IO18_Cap (1.8V 或 3.3V) 電源。
- I2C3 屬於 VCC3IO (only 3.3V) 電源。
- SCL 和 SDA 路徑建議保留上拉電阻，並在 SOC 附近保留 0 ohm 串聯電阻。
- 外接設備附近必須加上拉電阻，電阻值可以參考設備數據手冊建議。(通常為 10K ohm)
- SCL 和 SDA 的等效上拉電阻值不能小於 1.8K ohm。

接腳列表如下所示

Pin name	Power domain	IO DIR	I2C
I2C_SCL	VCC3IO18	IO	I2C_SCL
I2C_SDA	VCC3IO18	IO	I2C_SDA
I2C2_SCL	VCC3IO18_CAP	IO	I2C2_SCL
I2C2_SDA	VCC3IO18_CAP	IO	I2C2_SDA
I2C3_SCL	VCC3IO	IO	I2C3_SCL
I2C3_SDA	VCC3IO	IO	I2C3_SDA

連接示意圖如下圖所示



使用方式請參考

< NT9833x_Linux_Driver_User_Guide_en.pdf > 第 2 章節內容說明。

16. SATA

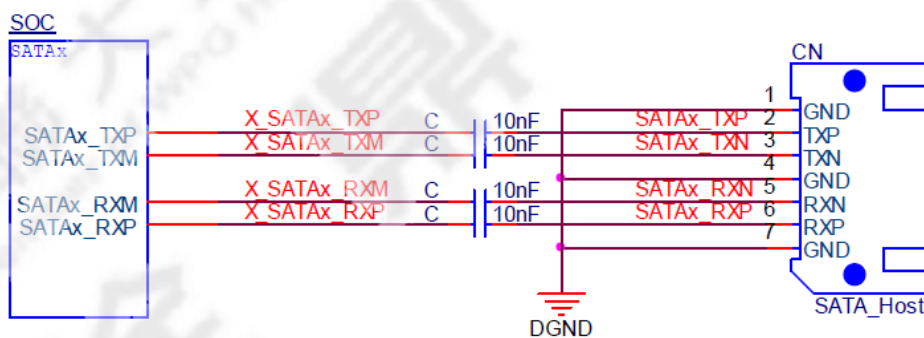
NT9833x 提供二組 SATA 3.0 ports，一組 PCI-E Gen3/SATA3.0 Combo 接口。

16.1 SATA Application

接腳列表如下所示

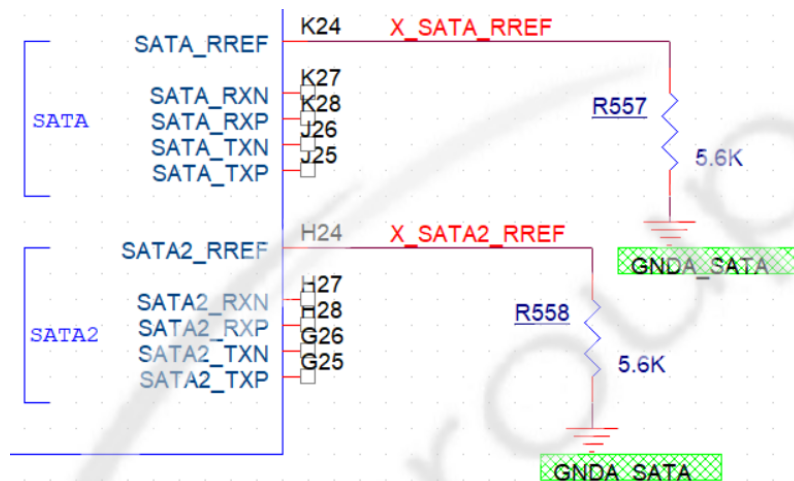
Pin name	Power domain	IO DIR	Description
SATA_TXN	VCC18A_SATA	O	SATA1 differential input TX-
SATA_TXP	VCC19A_SATA	O	SATA1 differential input TX+
SATA_RXN	VCC20A_SATA	I	SATA1 differential input RX-
SATA_RXP	VCC21A_SATA	I	SATA1 differential input RX+
SATA_RREF		I	SATA1 reference resistor
VCC09A_SATA		p	0.9V for SATA1
VCC18A_SATA_TX		p	1.8V for SATA1 TX
VCC18A_SATA_RX		p	1.8V for SATA1 RX
VCC33N_SATA		p	3.3V for SATA1/2
VCC33A_SATA		p	3.3V for SATA1
SATA2_TXN	VCC18A_SATA2	O	SATA2 differential input TX-
SATA2_TXP	VCC18A_SATA3	O	SATA2 differential input TX+
SATA2_RXN	VCC18A_SATA4	I	SATA2 differential input RX-
SATA2_RXP	VCC18A_SATA5	I	SATA2 differential input RX+
SATA2_RREF		I	SATA2 reference resistor
VCC09A_SATA2		p	0.9V for SATA2
VCC18A_SATA2_TX		p	1.8V for SATA2 TX
VCC18A_SATA2_RX		p	1.8V for SATA2 RX
VCC33A_SATA2		p	3.3V for SATA2

參考設計如下圖所示



SATA_TXP / SATA_TXM、SATA_RXP / SATA_RXM 請搭配 10nF 耦合電容，需擺放靠近 SATA 連接座。

SATA_RREF/ SATA2_RREF 需連接 5.6K ohm 1%精準度電阻。



使用方式請參考

< NT9833x_Linux_Driver_User_Guide_en.pdf > 第 11 章節內容說明。

17. Ethernet

NT9833x 提供二組 ethernet GMAC 接口。

17.1 GMAC Application

- NT9833x 僅支援 RGMII / RMII 介面。
- RGMII1 / RGMII2 屬於 VCC3IO (only 3.3V) 電源。

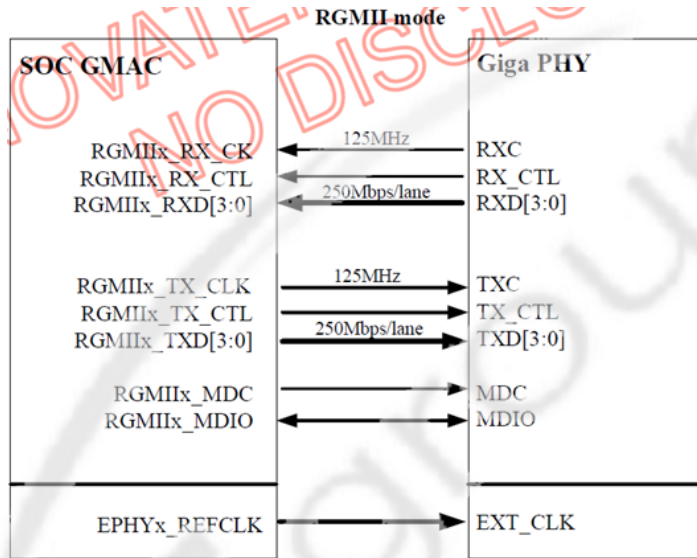
接腳列表如下所示

SYS application	Pin name	Power domain	IO DIR	RGMII	IO DIR	RMII
GMAC RGMII/RMII	EPHY_REFCLK	VCC3IO	O	EPHY_REFCLK(25M)	O	EPHY_REFCLK(25M)
	EPHY_RESET	VCC3IO	O	EPHY_RESET	O	EPHY_RESET
	RGMII_RX_CLK	VCC3IO	I	RGMII_RX_CK	IO	RMII_REFCLK
	RGMII_RX_CTL	VCC3IO	I	RGMII_RX_CTL	I	RMII_RDV
	RGMII_RXD[0]	VCC3IO	I	RGMII_RXD[0]	I	RMII_RXD[0]
	RGMII_RXD[1]	VCC3IO	I	RGMII_RXD[1]	I	RMII_RXD[1]
	RGMII_RXD[2]	VCC3IO	I	RGMII_RXD[2]		
	RGMII_RXD[3]	VCC3IO	I	RGMII_RXD[3]		
	RGMII_TX_CLK	VCC3IO	O	RGMII_TX_CK		
	RGMII_TX_CTL	VCC3IO	O	RGMII_TX_CTL	O	RMII_TEN
	RGMII_TXD[0]	VCC3IO	O	RGMII_TXD[0]	O	RMII_TXD[0]
	RGMII_TXD[1]	VCC3IO	O	RGMII_TXD[1]	O	RMII_TXD[1]
	RGMII_TXD[2]	VCC3IO	O	RGMII_TXD[2]		
	RGMII_TXD[3]	VCC3IO	O	RGMII_TXD[3]		
	RGMII_MDC	VCC3IO	O	RGMII_MDC	O	RMII_MDC
	RGMII_MDIO	VCC3IO	I/O	RGMII_MDIO	I/O	RMII_MDIO

SYS application	Pin name	Power domain	IO DIR	RGMII2	IO DIR	RMII2
GMAC2 RGMII/RMII	EPHY2_REFCLK	VCC3IO	O	EPHY2_REFCLK2(25M)	O	EPHY2_REFCLK(25M)
	EPHY2_RESET	VCC3IO	O	EPHY2_RESET	O	EPHY2_RESET
	RGMII2_RX_CLK	VCC3IO	I	RGMII2_RX_CK	IO	RMII2_REFCLK
	RGMII2_RX_CTL	VCC3IO	I	RGMII2_RX_CTL	I	RMII2_RDV
	RGMII2_RXD[0]	VCC3IO	I	RGMII2_RXD[0]	I	RMII2_RXD[0]
	RGMII2_RXD[1]	VCC3IO	I	RGMII2_RXD[1]	I	RMII2_RXD[1]
	RGMII2_RXD[2]	VCC3IO	I	RGMII2_RXD[2]		
	RGMII2_RXD[3]	VCC3IO	I	RGMII2_RXD[3]		
	RGMII2_TX_CLK	VCC3IO	O	RGMII2_TX_CK		
	RGMII2_TX_CTL	VCC3IO	O	RGMII2_TX_CTL	O	RMII2_TEN
	RGMII2_TXD[0]	VCC3IO	O	RGMII2_TXD[0]	O	RMII2_TXD[0]
	RGMII2_TXD[1]	VCC3IO	O	RGMII2_TXD[1]	O	RMII2_TXD[1]
	RGMII2_TXD[2]	VCC3IO	O	RGMII2_TXD[2]		
	RGMII2_TXD[3]	VCC3IO	O	RGMII2_TXD[3]		
	RGMII2_MDC	VCC3IO	O	RGMII2_MDC	O	RMII2_MDC
	RGMII2_MDIO	VCC3IO	IO	RGMII2_MDIO	IO	RMII2_MDIO

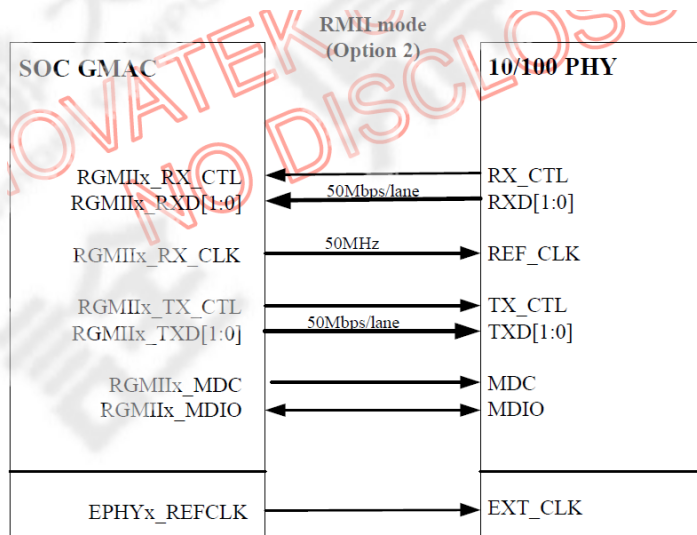
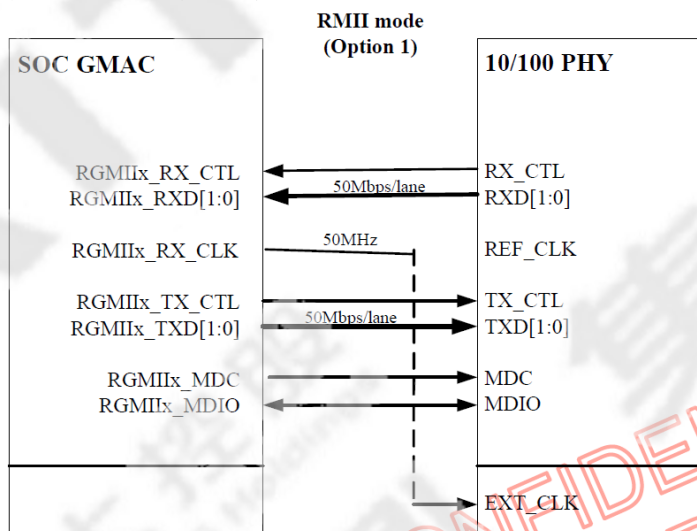
■ RGMII Mode

連接示意圖如下圖所示



■ RMII Mode

連接示意圖如下圖所示



- MDIO 需接 1.5K ohm 上拉電阻，MDC 預留串接電阻。
- TX_CLK 和 TXD[3:0]，建議在 SOC 端附近使用串聯電阻（22 ohm）。
- RX_CLK 和 RXD[3:0]，建議在 PHY 端附近使用串聯電阻（22 ohm）。
- 需確認搭配的 external PHY 是否可以支援 2ns TX/RX phase delay。
- 在 RGMII 介面下，PHY 端的 2ns TX/RX phase delay 預設值須為 enable。
- 檢查 external PHY 對應的接腳分配是否正確。
- RGMII 相關訊號若不使用可直接 floating。

使用方式請參考

< NT9833x_Linux_Driver_User_Guide_en.pdf > 第 5 章節內容說明。

18. PWM

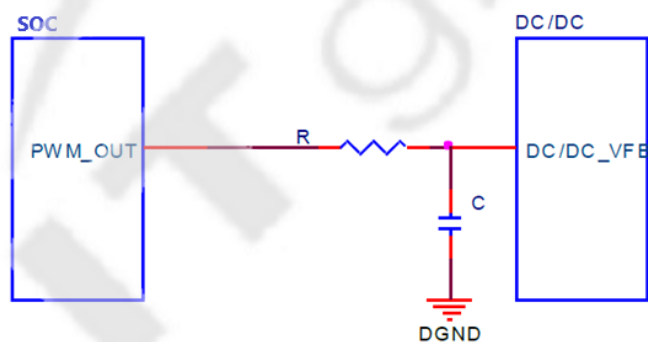
NT9833x 支援三組 PWM 訊號，PWM_OUT、PWM2_OUT 與 PGPIO32。

接腳列表如下所示

Name	Type	PU/PD	5V Tol.	Power Domain	Description
PWM_OUT	O	PD	No	VCC3IO	PWM1 Output Signal
PWM2_OUT	O	PD	No	VCC3IO	PWM2 Output Signal
PGPIO32	O	PD	No	VCC3IO	PWM3 Output Signal

PWM_OUT 預留用來控制調整 Core power 電壓使用。

連接示意圖如下圖所示



實際電路應用請參考原廠提供的電路圖為準。

使用方式請參考

< NT9833x_Linux_Driver_User_Guide_en.pdf > 第 6 章節內容說明。

19. UART

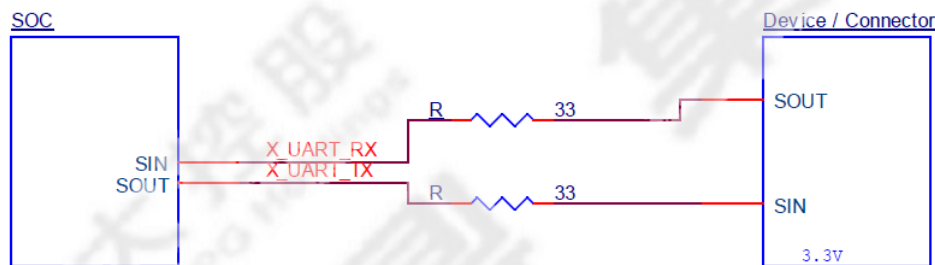
NT9833x 提供四組 UART 接口。

接腳列表如下所示

Name	Type	PU/PD	5V Tol.	Power Domain	Description
UART_SOUT	O	PU	Yes	VCC3IO	UART1 serial output
UART_SIN	I	PU	Yes	VCC3IO	UART1 serial input
UART_RTS	O	PU	Yes	VCC3IO	UART1 Request to send
UART_CTS	I	PU	Yes	VCC3IO	UART1 Clear to send
UART2_SOUT	O	PD	No	VCC3IO	UART2 serial output
UART2_SIN	I	PD	No	VCC3IO	UART2 serial input
UART2_RTS	O	PD	No	VCC3IO	UART2 Request to send
UART2_CTS	I	PD	No	VCC3IO	UART2 Clear to send
UART3_SOUT	O	PD	No	VCC3IO	UART3 serial output
UART3_SIN	I	PD	No	VCC3IO	UART3 serial input
UART4_SOUT	O	PD	No	VCC3IO	UART4 serial output
UART4_SIN	I	PD	No	VCC3IO	UART4 serial input

- UART_SOUT / UART_SIN 預設為系統除錯使用。
- UART_SOUT / UART_SIN 路徑使用串聯電阻（33 ohm），預留串聯電阻以保護 SOC。

參考電路如下圖所示



使用方式請參考

< NT9833x_Linux_Driver_User_Guide_en.pdf > 第 7 章節內容說明。

20. JTAG

NT9833x 支持 JTAG test interface。

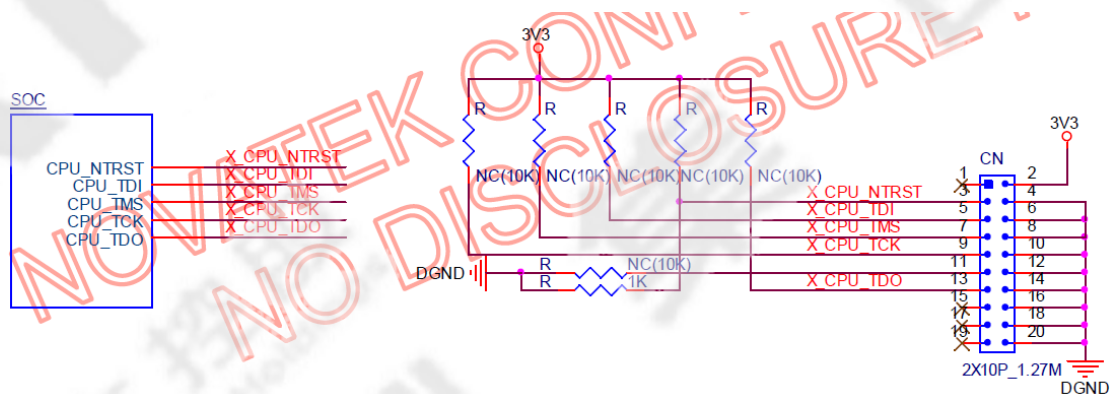
接腳列表如下所示

Name	Type	PU/PD	5V Tol.	Power Domain	Description
CPU_NTRST	I	PD	No	VCC3IO	JTAG reset input
CPU_TCK	I	PD	No	VCC3IO	JTAG clock input
CPU_TDI	I	PD	No	VCC3IO	JTAG data input
CPU_TDO	O	PD	No	VCC3IO	JTAG data output
CPU_TMS	I	PD	No	VCC3IO	JTAG mode select

20.1 JTAG Application

- 確認 BST[5] 設定是否設置為 ICE 模式。
- CPU_TDI/TDO/TMS/TCK 預留 10K ohm 上拉電阻。
- CPU_NTRST 需添加 1K ohm 下拉電阻。
- 預留 JTAG connector 或 test point。

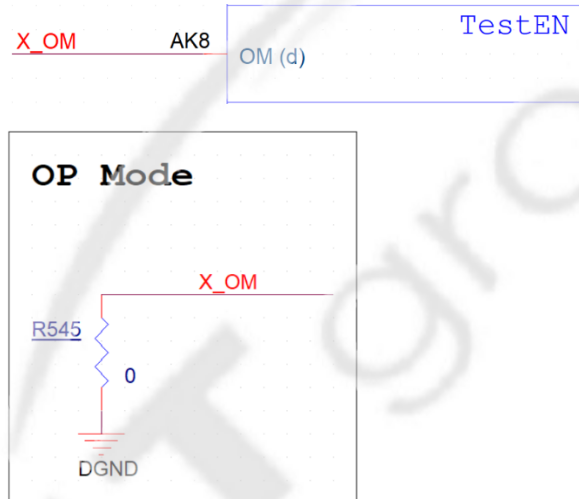
參考電路如下圖所示



21. TESTEN

OM pin 為 chip test enable pin，選擇正常和測試兩種工作模式。一般正常使用狀況下，建議直接接地或是以 0 ohm 電阻接地。

參考電路如下圖所示



22. PCIe

NT9833x 提供一組 SATA/PCIe Combo 接口，可通過硬體設定設置為 SATA 或 PCIe 功能。

接腳列表如下所示

Pin name	IO Type	Power Domai	Description
PCIE_RXP	I	VCC18A_PCIE	PCIe differential input RX+
PCIE_RXN	I	VCC18A_PCIE	PCIe differential input RX-
PCIE_TXP	O	VCC18A_PCIE	PCIe differential input TX+
PCIE_TXN	O	VCC18A_PCIE	PCIe differential input TX-
PCIE_REFCLKP	IO	VCC18A_PCIE	PCIe differential input/output CLK+
PCIE_REFCLKN	IO	VCC18A_PCIE	PCIe differential input/output CLK-
PCIE_RSTn	I	VCC3IO	J_GPIO[5] or PCIe_RSTn function Setting by BST[9]
PCIESATA_RREF	P		PCIe /SATA3 reference resistor
VCC09A_PCIE	P		0.9V for PCIE
VCC18A_PCIE_TX	P		1.8V for PCIE TX
VCC18A_PCIE_RX	P		1.8V for PCIE RX
VCC33A_PCIE	P		3.3V for PCIE
VCC33N_PCIE	P		3.3V for PCIE
VCC18A_PCIE_REFCLK	P		1.8V for PCIE REFCLK

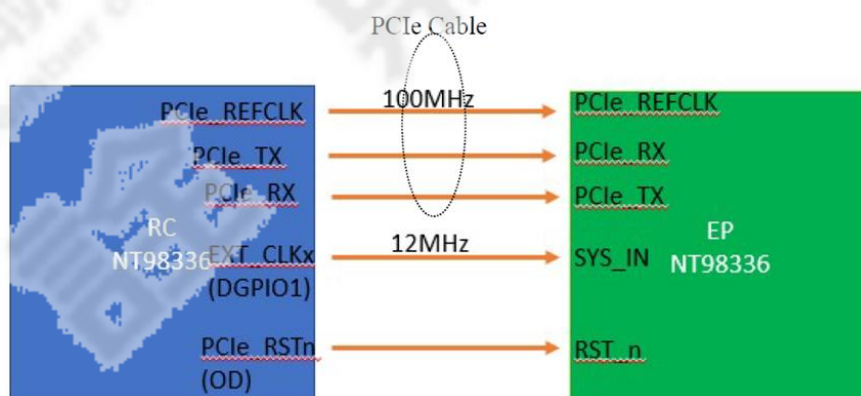
- PCIE_RREF 必須連接 5.6K ohm 1%電阻到 GND。
- PCIE_TXP/TXN、PCIE_RXP/RXN 需串接 220nF 耦合電容，靠近 PCIe Connector。
- PCIE_RSTn 為 open-drain output，需外加上拉電阻。

22.1 PCIe Cascaded Connection

NT9833x 使用級聯拓撲或 PCIe 交換介質來擴展多設備以滿足更多功能需求。

PCIe RC 和 EP 設備的連接是基本架構。NT98336 demo board 可以通過硬件引導作為 PCIe RC 或 PCIe EP 設備，並使用其 PCIe 端口和專用連接器完成級聯連接。

如下圖所示

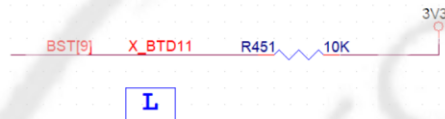


22.2 PCIe hardware bootstrap configuration

- Setting PCIe port

PCIe mode, BST[9] should be set to “0x1”.

BST[9]	Function
PCIE_SATA_COMBO_SEL Select PCIE/SATA combo pad	
0: SATA mode, / pcie_rstn is GPIO	
1: PCIE mode, / pcie_rstn is PCIE	

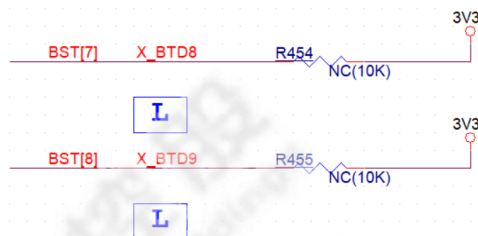


- Setting RC or EP device

RC mode, BST[8..7] should be set to “0x0” ;

EP mode, BST[8..7] should be set to “0x1”.

BST[8..7]	Function
PCIE bootstrap select	
0x0: PCIE RC mode (CPU enable)	
0x1: PCIE EP mode (CPU disabled)	
0x2: PCIE EP mode (CPU enabled)	
0x3: PCIE EP mode (CPU enabled)	



- Configure PCIe RefCLK

RC mode, BST[10] should be set to “0x0” ;

EP mode, BST[10] should be set to “0x1”.

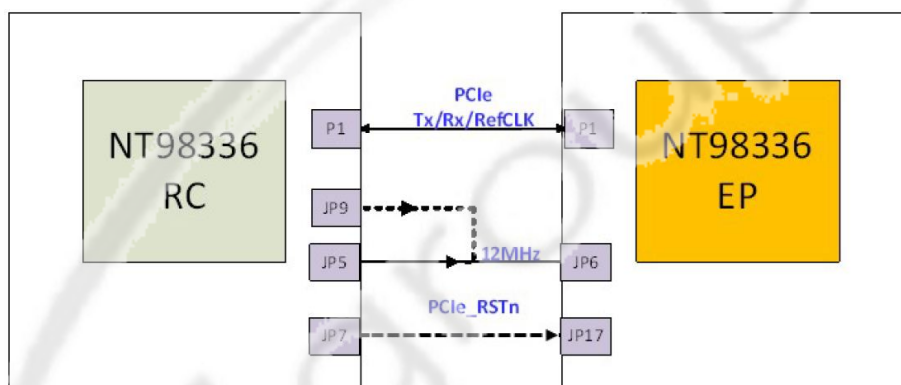
BST[10]	Function
PCIE_REFCLK_BOOT_SEL Select REFCLK source	
0: from Internal REFCLK	
1: from External REFCLK	



22.3 PCIe Cable and dedicated connector

RC board 使用專用連接器提供操作時鐘（12MHz）和復位信號（PCIe_RSTn）給於 EP 設備使用。

如下圖所示

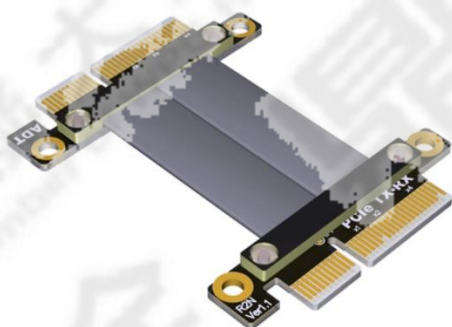


Position	Signal description	RC(I/O)	EP(I/O)
JP5	X_EX2_CLK(12MHz)	O	NA
JP6	EXT_12M	NA	I
JP7	X_PCIE_RSTn	O	NA
JP9	X_DGPIO1(12MHz from MPLL)	O	NA
JP17	SYS_RSTn	NA	I
P1	PCIe Connector	I/O	I/O

使用交換 TX/RX 信號的 PCIe cable，將 RC/EP 設備連接在一起。

PCIe cable 規格參考如下

型號：[R22NS](#) / 長度：[25CM](#)



R22NS

官網網址 http://www.adt.link/product/R22_Jump-Shop.html